

INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA



PERENCANAAN DAN PEMBUATAN MODULATOR
PSK DENGAN MENGGUNAKAN METODE DDS
(DIRECT DIGITAL SYNTHESIS)

SKRIPSI

Disusun Oleh :
STEVEN ANDRI
NIM: 0317011

September 2007

LEMBAR PERSETUJUAN



PERENCANAAN DAN PEMBUATAN MODULATOR PSK DENGAN MENGGUNAKAN METODE DDS (*DIRECT DIGITAL SYNTHESIS*)

SKRIPSI

*Disusun dan Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh
Gelara Sarjana Teknik Elektro Strata Satu (S-1)*

Disusun Oleh :

STEVEN ANDRI TUWO

NIM : 0317011

Diperiksa dan Disetujui

Dosen Pembimbing I

Ir. F. Yudi Limpraptono, MT.
NIP.Y 1039500274

Dosen Pembimbing II

Joseph Dedy Irawan, ST, MT.
NIP. 132315178

Mengetahui



Ketua Jurusan Teknik Elektro S-1

Ir. F. Yudi Limpraptono, MT
NIP.Y 1039500274

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
2007**



INSTITUT TEKNOLOGI NASIONAL MALANG
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO S1
KONSENTRASI TEKNIK ELEKTRONIKA

BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI

Nama Mahasiswa : Steven Andri
NIM : 0317011
Jurusan : Teknik Elektro S1
Konsentrasi : Teknik Elektronika
Judul Skripsi : "Perencanaan dan Pembuatan Modulator PSK dengan
Menggunakan Metode DDS (*Direct Digital
Synthesis*)"

Dipertahankan dihadapan team penguji skripsi jenjang sarjana (S1) pada :

Hari : Senin
Tanggal : 3 September 2007
Dengan Nilai : 86,65 *By*



Ketua

[Signature]
Ir. Mochtar Asroni, MSME.
NIP. Y 101810003

Panitia Majelis Penguji

Sekretaris

[Signature]
Ir. F. Yudi Linpraptono, MT.
NIP. Y 1039500274

Anggota Penguji

Penguji I

[Signature]
Ir. Eko Nurcahyo
NIP. Y 1028700172

Penguji II

[Signature]
Sotyojadi, ST. Msc.
NIP.

ABSTRAK

PERENCANAAN DAN PEMBUATAN MODULATOR PSK DENGAN MENGUNAKAN METODE DDS (*DIRECT DIGITAL SYNTHESIS*)

(Steven Andri, 0317011, Teknik Elektro S-1/Elektronika, 67 Halaman)

(Dosen Pembimbing I: Ir. Yudi Limpraptono, MT.)

(Dosen Pembimbing II: Joseph Dedy Irawan, ST. MT.)

Kata Kunci: Modulasi, PSK, DDS

Pembangunan suatu bangsa saat ini banyak ditentukan oleh kemampuan masyarakat untuk saling tukar menukar informasi. Informasi ini dapat berupa data digital dan analog. Sinyal digital merupakan pulsa yang menyatakan nilai 1 dan 0 sehingga untuk range tegangan dari 0 volt sampai dengan 5 volt hanya dapat mewakili 2 keadaan. Dengan *bandwidth* (lebar pita) yang terlalu besar maka perlu dimodulasi. Alat pemodifikasi sinyal dinamakan modulator. Dirancang modulator dengan teknik menggeser phase sesuai data digital (PSK) dimana digunakan sistem DDS (*Direct Digital Synthesis*) untuk mensintesis sinyal kontinu sinusoida. Sistem DDS mempunyai karakteristik utama adalah memiliki settling time yang cepat, resolusi frekuensi yang halus dan pengolahan data secara digital. Modulator ini dapat menghasilkan gelombang sinus yang baik setelah difilter LPF dengan frekuensi 1200Hz dan akan memodulasi data-data digital dari keyboard pada setiap bitnya dimulai dari LSB (8 bit data sesuai kode ASCII) menjadi data analog yang berupa gelombang sinus dengan frekuensi 1200Hz dengan tepat pada pengaturan baudrate di bawah 1200 Hz.

KATA PENGANTAR

Puji syukur kehadirat Tuhan Yang Maha Esa karena senantiasa memberikan karunia-Nya sehingga penyusun dapat menyelesaikan skripsi yang berjudul:

“Perencanaan dan Pembuatan Modulator PSK dengan Menggunakan Sistem DDS (*Direct Digital Synthesis*)”

Skripsi ini merupakan salah satu syarat dalam menyelesaikan studi di program strata 1 (satu) Teknik Elektronika di Institut Teknologi Nasional Malang.

Selama satu semester ini banyak orang telah membantu dalam proses pembuatan skripsi ini dan penyusun ingin menyampaikan penghargaan atas semua saran dan komentar yang berharga. Secara khusus, penyusun dengan tulus mengucapkan terima kasih kepada pribadi-pribadi yang telah berkontribusi terhadap penyusunan skripsi ini, yaitu bapak Prof. Dr. Ir. Abraham Lomi, MSEE, selaku Rektor Institut Teknologi Nasional Malang, bapak Ir. Mochtar Asroni, MSME, selaku Dekan Fakultas Teknologi Industri Institut Teknologi Nasional Malang bapak Ir. F. Yudi Limpraptono, MT. selaku Dosen Pembimbing I, bapak Joseph Dedy Irawan, ST. MT. selaku Dosen Pembimbing II, atas bantuannya.

Ucapan terima kasih yang mendalam juga disampaikan kepada seluruh mahasiswa ITN Malang, kepada rekan, Erwin, Ahmad Junaedi, Fahkrul Azmi, Ruddy Catur Utomo, Nurul Huda, Budi Artono, Moch. Achtam Ulum, Edi Imamsyah, Candra Hartono Arbi, kepada teman-teman Elka (Sonny Prasctyo, Candra Setiawan, Rico Yulianto, Nur Cahyo, Lystia Fatmawati, Yuli Wahyuni, Adelia, Hendrik Kurniawan, Eko Apriyanto, I Nyoman Trisna, Made Hendri) dan Energi Listik yang telah lulus dalam ujian Kompre, teman-teman yang selalu membuat suasana kampus seperti di kota sendiri (Septian, Okky, Andi Herlambang, dan Charles Praja), teman teman yang selalu membuat suasana kampus seperti di Kalimantan (M. Bali Suryo, Endra Ricardo, Hari, Irvan, Hadi, Andi, Eko, Reza, Hairi Rosadi, Reinaldo, Gusti Bayu,), teman yang selalu

membuat suasana kampus seperti di Bali (Iefan), dan semua teman di sini (Neal Aji atau Taufik, Andreas, Doni Kristanto, Chandra Budhi, Erwan, Farouk, Ifung Sugiarto, Firdauzi “Uci” Zulkarnaen, Agus hermawan, Udin, Ibnu “Jhon” Hajar, Khusnul, Dian, Imron, Lastian Ableh dan Bagus. Kepada semua teman kos(mas Yustinus, mas Arianto, mas Bambang, mas Nur, mas Yuris, mas Ferry Kurniawan, mas Nasrullah Safuidin, mas Arya Wicaksana, Ichwan, mas Sigit, Bagas, Ari, Hero), semua teman (Sukianto, Ade Hendra Perkasa, Lewi, Taruna Aditya Siswanto, Tonny Yulianto, Lenny Purwanto, Denny “Bagong” Kurniawan, dan Antonius dll). Tak lupa para dosen yang telah membimbing penyusun selama 4 tahun di ITN Malang. Karena terlalu panjang untuk disebutkan satu per satu, maka dengan harapan bahwa mereka yang telah memberikan bantuan dapat menerima penghargaan anonim ini.

Akhirnya, penyusun ingin menyampaikan penghargaan terbesar kepada mama dan bapak serta kakak penyusun, conny dan adik penyusun, Angel, dan seluruh keluarga, terima kasih atas nama Bapa, Putra dan Roh Kudus.....

Skripsi ini masih ada kekurangan, sehingga penyusun masih memerlukan kritik dan saran dari semua pihak untuk pengembangan selanjutnya. Akhir kata penyusun berharap semoga skripsi ini dapat bermanfaat bagi semua pihak yang membutuhkan..

Malang, September 2007

Penyusun

DAFTAR ISI

	Halaman
HALAMAN JUDUL	i
LEMBAR PERSETUJUAN	ii
BERITA ACARA	iii
ABSTRAKSI	iv
KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR GAMBAR	x
DAFTAR TABEL	xii
BAB I PENDAHULUAN	
1.1. Latar Belakang	1
1.2. Tujuan	2
1.3. Rumusan Masalah	2
1.4. Batasan Masalah	2
1.5. Metodologi Penulisan	3
1.6. Sistematika Pembahasan	3
BAB II DASAR TEORI	
2.1. <i>Direct Digital Synthesis</i> (DDS)	5
2.2. <i>Phase Shift Keying</i> (PSK)	6
2.3. Mikrokontroler AVR ATmega8	7
2.3.1. Arsitektur	7
2.3.2. Konfigurasi Pin-Pin Mikrokontroler ATmega8	10
2.3.3. Peta Memori	11
2.3.4. Status Register (SREG)	13
2.3.5. Register I/O	14
2.3.6. <i>Timer/ Counter 2</i>	15
2.3.7. Interupsi	19
2.3.8. Register TIMSK	23
2.4. Penguat	25

2.5. <i>Digital To Analog Konverter (DAC)</i>	25
2.6. Filter	27
2.7. Gerbang XOR	29
2.8. LM358	30
2.9. Komunikasi Serial	31

BAB III PERANCANGAN DAN PEMBUATAN ALAT

3.1. Perancangan Perangkat Keras	33
3.1.1. Diagram Blok Sistem	33
3.1.2. Perancangan Rangkaian Mikrokontroler ATmega8.....	35
3.1.2.1 Sistem Minimum ATmega8.....	35
3.1.2.2. Perancangan Rangkaian Reset	36
3.1.3. Perancangan Rangkaian RS232	36
3.1.4. Perancangan Rangkaian DAC.....	37
3.1.5. Perancangan Rangkaian Filter (LPF).....	38
3.1.6. Perancangan Rangkaian Penguat	39
3.1.7. Perancangan Rangkaian LM358	40
3.1.8. Perancangan Rangkaian Demodulator	41
3.2. Perancangan Perangkat Lunak	41
3.2.1. Pembuatan Gelombang sinus	42
3.2.2. Flowchart Sistem	44
3.2.3. Flowchart Delphi	45
3.2.4. Flowchart Pada Mikrokontroler	46

BAB IV PENGUKURAN DAN PENGUJIAN

4.1. Pengujian Perangkat Keras	47
4.1.1. Pengujian Komunikasi Serial Interface	48
4.1.1.1. Tujuan	48
4.1.1.2. Peralatan yang Digunakan	48
4.1.1.3. Langkah-langkah Pengujian	48
4.1.1.4. Analisa.....	49
4.1.2. Pengujian Rangkaian Penguat Pembalik.....	50

4.1.2.1. Tujuan	50
4.1.2.2. Peralatan yang Digunakan	50
4.1.2.3. Langkah-langkah Pengujian	50
4.1.2.4. Analisa.....	51
4.1.3. Pegujian Rangkaian DAC R-2R	53
4.1.3.1. Tujuan	53
4.1.3.2. Peralatan yang Digunakan	53
4.1.3.3. Langkah-langkah Pengujian	53
4.1.3.4. Analisa.....	53
4.1.4. Pengujian Rangkaian Modulator PSK.....	56
4.1.4.1. Tujuan	56
4.1.4.2. Peralatan yang Digunakan	56
4.1.4.3. Langkah-langkah Pengujian	56
4.1.4.4. Analisa.....	57
4.1.5. Pegujian Pengiriman dan Penerimaan Data	59
4.1.5.1. Tujuan	59
4.1.5.2. Peralatan yang Digunakan	59
4.1.5.3. Langkah-langkah Pengujian	59
4.1.5.4. Analisa.....	60

BAB V PENUTUP

5.1. Kesimpulan	65
5.2. Saran	65

DAFTAR PUSTAKA	66
-----------------------------	-----------

LAMPIRAN

DAFTAR GAMBAR

Gambar 2.1.	Bentuk sinyal modulasi PSK.....	6
Gambar 2.2.	Arsitektur AVR ATmega8	8
Gambar 2.3.	Blok Diagram AVR ATmega8.....	9
Gambar 2.4.	Konfigurasi Pin ATmega8	10
Gambar 2.5.	Konfigurasi Memori Data AVR ATmega8	12
Gambar 2.6.	Status Register Atmega8	13
Gambar 2.7.	Register TCCR2	16
Gambar 2.8.	Register MCUCR	19
Gambar 2.9.	General Interrupt Kontrol Register	20
Gambar 2.10.	Register TIMSK	23
Gambar 2.11.	Rangkaian Penguat Pembalik.....	25
Gambar 2.12.	Rangkaian R-2R	26
Gambar 2.13.	Rangkaian Low Pass Filter.....	28
Gambar 2.14.	Gerbang <i>EXCLUSIVE OR</i>	29
Gambar 2.15.	Konfigurasi Pin dan Rangkaian Operasi MAX 232IC.....	32
Gambar 3.1.	Blok Diagram Sistem	34
Gambar 3.2.	Minimum Sistem Mikrokontroler ATmega8	35
Gambar 3.3.	Perancangan Rangkaian Reset ATmega8	36
Gambar 3.4.	Rangkaian MAX232	37
Gambar 3.5.	Rangkaian DAC R-2R	38
Gambar 3.6.	Rangkaian Low Pass Filter	39
Gambar 3.7.	Rangkaian Op Amp <i>Inverting</i>	39
Gambar 3.8.	Rangkaian Potensio	41
Gambar 3.9.	Sampling Gelombang Sinus.....	43
Gambar 3.10.	Flowchart Sistem.....	44
Gambar 3.11.	Flowchart Delphi	45
Gambar 3.12.	Flowchart Mikrokontroler	46
Gambar 4.1.	Rangkaian Pengujian Serial Interface	48

Gambar 4.2.	Pengujian Komunikasi Serial data 1	49
Gambar 4.3.	Pengujian Komunikasi Serial data 2	49
Gambar 4.4.	Pengujian Komunikasi Serial data 3	50
Gambar 4.5.	Rangkaian Pengujian Penguat	50
Gambar 4.6.	Blok Diagram Pengujian DAC R-2R	53
Gambar 4.7.	Sinyal Output Keluaaran dari DAC	56
Gambar 4.8.	Rangkaian Modulator	57
Gambar 4.9.	Gelombang Sinus Saat Tombol Tidak Tetekan.....	58
Gambar 4.10.	Gelombang Sinus Saat Tombol Tertekan.....	58
Gambar 4.11.	Rangkaian Modulator dan Demodulator	59
Gambar 4.12.	Pengujian Modulator pada Delphi Data 1	61
Gambar 4.13.	Pengujian Modulator pada Delphi Data 2	61
Gambar 4.14.	Pengujian Modulator pada Delphi Data 3	62
Gambar 4.15.	Pengujian Modulator pada <i>Hyperterminal</i> Data 1	63
Gambar 4.16.	Pengujian Modulator pada <i>Hyperterminal</i> Data 2	63
Gambar 4.17.	Pengujian Modulator pada <i>Hyperterminal</i> Data 3	64
Gambar 4.18.	Pengujian Modulator pada <i>Hyperterminal</i> Data 4	64

DAFTAR TABEL

Tabel 2.1.	Konfigurasi Bit WGM21 dan WGM20	17
Tabel 2.2.	Konfigurasi Bit COM21 dan COM20 <i>Compare Output</i> <i>Mode non-PWM</i>	17
Tabel 2.3.	Konfigurasi Bit COM21 dan COM20 <i>Compare Output</i> <i>Mode Fast PWM</i>	18
Tabel 2.4.	Konfigurasi Bit COM21 dan COM20 <i>Compare Output</i> <i>Phase Correct PWM</i>	18
Tabel 2.5.	Konfigurasi Bit <i>Clock Select</i> Untuk Memilih Sumber <i>Clock</i>	19
Tabel 2.6.	Beberapa <i>Setting</i> Kondisi yang Menyebabkan linterupsi Eksternal 1	20
Tabel 2.7.	Beberapa <i>Ssetting</i> Kondisi yang Menyebabkan Interupsi Eksternal 0.....	20
Tabel 2.8.	Macam Sumber Interupsi pada AVR Atmega8.....	22
Tabel 2.9.	Tabel Kebenaran Gerbang <i>EXCLUSIVE OR</i>	30
Tabel 4.1.	Data Hasil Perhitungan dan Pengukuran Rangkaian Op Amp.....	52
Tabel 4.2.	Data Hasil Pengukuran Rangkaian Konversi DAC R-2R.....	55



BAB I

PENDAHULUAN

1.1. Latar Belakang

Seiring dengan perkembangan teknologi di segala bidang, memiliki dampak terhadap perkembangan dibidang elektronika. Kemajuan yang sangat pesat ini dapat terlihat pada setiap peralatan yang digunakan manusia tidak lepas dari penggunaan berbagai macam peralatan elektronika yang ada. Pada perkembangannya, teknologi elektronika menuntut manusia untuk menciptakan suatu peralatan elektronika yang tepat guna dan praktis sehingga dapat membantu semua kegiatan menjadi lebih mudah. Salah satu perkembangan yang paling menonjol saat ini adalah perkembangan di bidang komunikasi. Kemampuan dan ketelitian menghasilkan serta mengendalikan bentuk gelombang berbagai amplitudo, frekuensi, maupun *phase* telah menjadi suatu kebutuhan kunci yang umum bagi sejumlah industri.

Di dunia elektronik modulator sudah tidak asing lagi. Secara umum modulator merupakan salah satu cara memodifikasi sinyal informasi yang akan ditransmisikan. Sinyal digital, yaitu pulsa yang menyatakan nilai 1 dan 0 tidak dapat ditransmisikan begitu saja, karena *bandwidth* (lebar pita) yang dipakai oleh sinyal digital terlalu lebar sehingga harus dimodifikasi terlebih dahulu agar dapat ditransmisikan. Alat pemodifikasi sinyal inilah yang dinamakan modulalator.

Ada beberapa metode yang dapat digunakan untuk memodulasi sinyal digital. Salah satu teknik modulasi ini adalah *phase shift keying* (PSK), dimana data digital dimodulasi dengan menggeser gelombang carinya.

Sistem DDS (*Direct Digital Synthesis*) adalah salah satu cara untuk mensintesis sinyal kontinu sinusoida. Sistem DDS mempunyai karakteristik utama adalah memiliki *settling time* yang cepat dan memiliki resolusi frekuensi yang halus.

Dalam skripsi ini akan dicoba mengembangkan pemodulasian digital dengan pembuatan sebuah modulator yang mengaplikasikan metode *Direct Digital Synthesizer* (DDS) ke teknik modulasi *phase shift keying* (PSK) dengan menggunakan mikrokontroler ATmega8.

1.2. Tujuan

Tujuan dari skripsi ini adalah pembuatan sebuah modulator yang mengaplikasikan metode DDS (*Direct Digital Synthesizer*) ke teknik modulasi PSK (*Phase Shift Keying*) dengan menggunakan mikrokontroler Atmega8.

1.3. Rumusan Masalah

Dalam perencanaan dan pembuatan alat ini dapat dirumuskan beberapa masalah sebagai berikut:

- a. Bagaimana membuat modulator PSK dengan menggunakan sistem DDS.
- b. Pembuatan gelombang sinus dengan frekuensi 1200Hz.

1.4. Batasan Masalah

Agar permasalahan yang dibahas tidak meluas maka perlu adanya pembatasan permasalahan. Adapun batasan masalah meliputi :

- a. Menitikberatkan pada pembahasan modulator.
-

- b. Frekuensi gelombang sinus sebesar 1200 Hz
- c. Menggunakan mikrokontroler ATmega8 untuk pemrosesan data.
- d. Tidak membahas *noise-noise*.

1.5. Metodologi Penulisan

Metodologi yang dipakai dalam pembuatan skripsi ini adalah:

1. Studi Literatur

Dengan mencari referensi-referensi yang berhubungan dengan perencanaan dan pembuatan alat yang akan dibuat.

2. *Field Research*

Dengan melakukan penelitian secara langsung mengenai objek-objek yang berhubungan langsung dengan perencanaan alat yang akan dibuat.

3. *Design* dan Pembuatan Alat

Yaitu meliputi pembuatan PCB, perakitan komponen serta penyolderan dan pembuatan perangkat lunak.

4. Pengujian Alat

Dengan melakukan pengujian untuk setiap blok rangkaian dan kerja seluruh sistem pada alat tersebut.

1.6. Sistematika Pembahasan

Penulisan skripsi ini terbagi menjadi lima bab dengan sistematika sebagai berikut:

BAB I : PENDAHULUAN

Membahas tentang latar belakang, rumusan masalah, tujuan, batasan masalah, metodologi dan sistematika penulisan pada penulisan skripsi ini.

BAB II : LANDASAN TEORI

Berisikan tentang penjelasan dan teori-teori yang berhubungan dengan komponen-komponen yang digunakan dalam perancangan alat.

BAB III : PERENCANAAN DAN PEMBUATAN ALAT

Membahas tentang perancangan alat yang terdiri dari perancangan perangkat keras dan perancangan perangkat lunak.

BAB IV : PENGUJIAN ALAT

Membahas tentang pengujian peralatan secara keseluruhan dan analisa hasil pengujian.

BAB V : PENUTUP

Berisikan kesimpulan yang didapat selama perancangan dan pembuatan alat serta saran-saran.



BAB II

DASAR TEORI

2.1 *Direct Digital Synthesis (DDS)*

Sistem DDS (*Direct Digital Synthesis*) merupakan salah satu cara untuk menghasilkan sinyal sinusoidal dari mikrokontroller. Inti dari sistem ini adalah arsitektur akumulator dengan resolusi mencapai mili Hertz dan frekuensi sinyal yang dihasilkan dapat diatur tergantung dalam perancangan. Keluaran sistem DDS yang diproses oleh mikrokontroller berupa sinyal digital kemudian menjadi masukan ke DAC (*D/A konverter*) untuk mendapatkan sinyal analog. Lalu diinputkan ke LPF (*Low Pass Filter*) untuk menghasilkan sinyal sinusoidal yang sempurna.

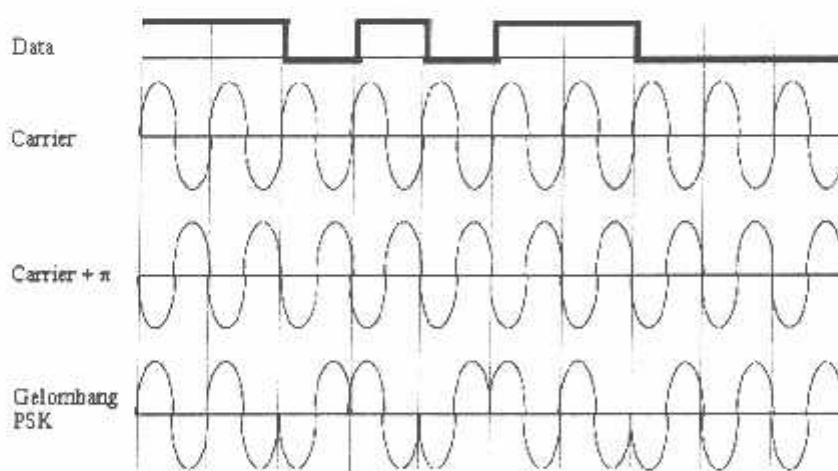
Semua parameter kontrol sistem DDS berada dalam bentuk besaran digital. Sistem DDS pada dasarnya terdiri atas akumulator fasa, LUT (Look Up Tabel), dan osilator sebagai pembangkit frekuensi referensi (*clock*). Sedangkan DAC (digital to Analog Konverter) dan LPF (Low Pass Filter) merupakan komponen-komponen penunjang sistem DDS.

Kelebihan penggunaan Sistem DDS adalah karakteristik sistem DDS itu sendiri, dimana keutamaan dari sistem ini adalah memiliki *settling time*/kecepatan yang cepat, memiliki resolusi frekuensi yang halus terhadap frekuensi keluaran, operasi atas suatu spektrum frekuensi yang lebar dan memiliki desain teknologi proses sehingga sederhana serta sedikit membutuhkan pemakain daya. Sehingga

sangat memungkinkan sistem DDS bisa lebih dikembangkan untuk desain alat yang berkaitan dengan aplikasi-aplikasi frequency hopping serta sistem-sistem yang berkaitan dengan peralatan pemancar radio, TV, peralatan test, dll.

2.2 *Phase Shift Keying (PSK)*

Metode pengkodean data *phase shift modulation* atau *phase shift keying* (PSK) berbeda dengan dua metode pemodulasian lain yang berbasis amplitudo dan frekuensi. Lingkungan dari gelombang sinus memang memungkinkan untuk menjaga *phase* sebagai harga yang konstan. Tetapi *phase* dapat digunakan untuk merepresentasikan sinyal, yaitu dengan membuat pergeseran yang cepat dalam *phase* sebuah sinyal atau dengan menukar dengan cepat antara dua sinyal dari dua *phase* yang berbeda. Pergeseran yang mendadak dalam *phase* sinyal dapat dideteksi dan diterjemahkan sebagai data. Bila data berlogika 1 maka *phase* akan tetap atau bergeser 0° , dan bila data berlogika 0 maka *phase* akan bergeser 180° . Teknik modulasi ini biasanya juga disebut *binary phase shift modulation (BPSK)*.



Gambar 2.1. Bentuk sinyal modulasi PSK^[11]

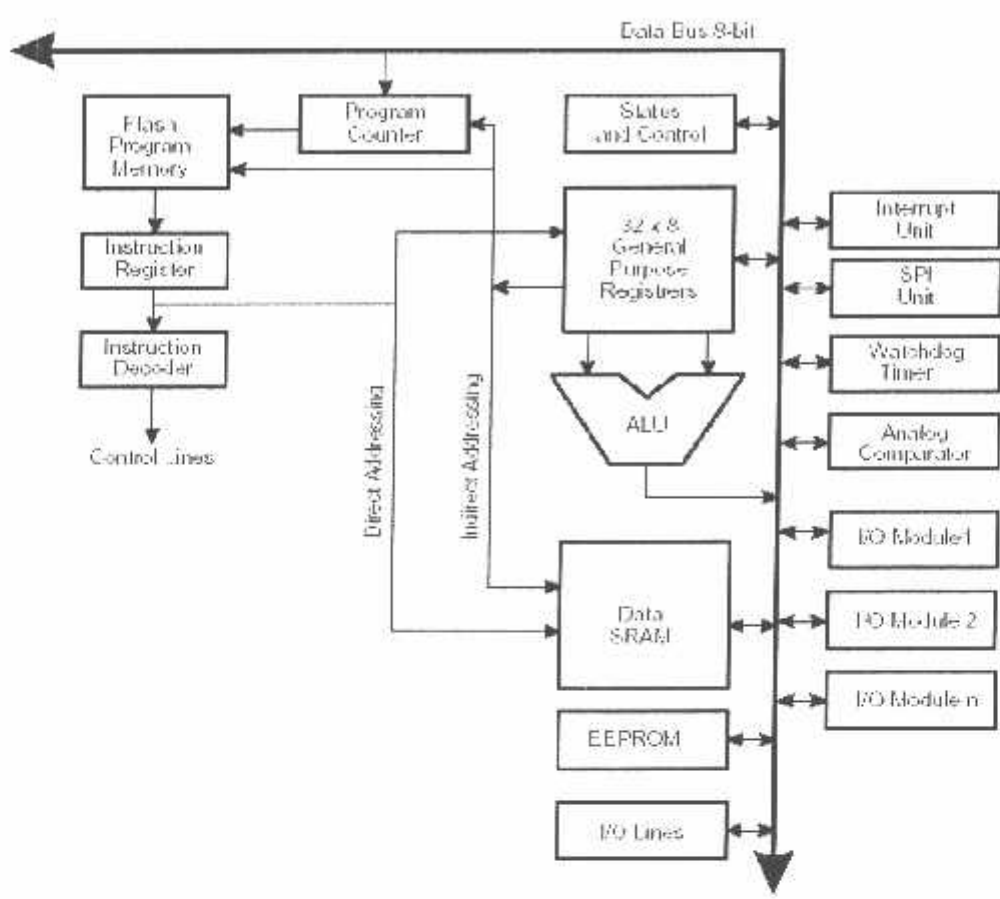
2.3 Mikrokontroller AVR ATmega8

2.3.1. Arsitektur

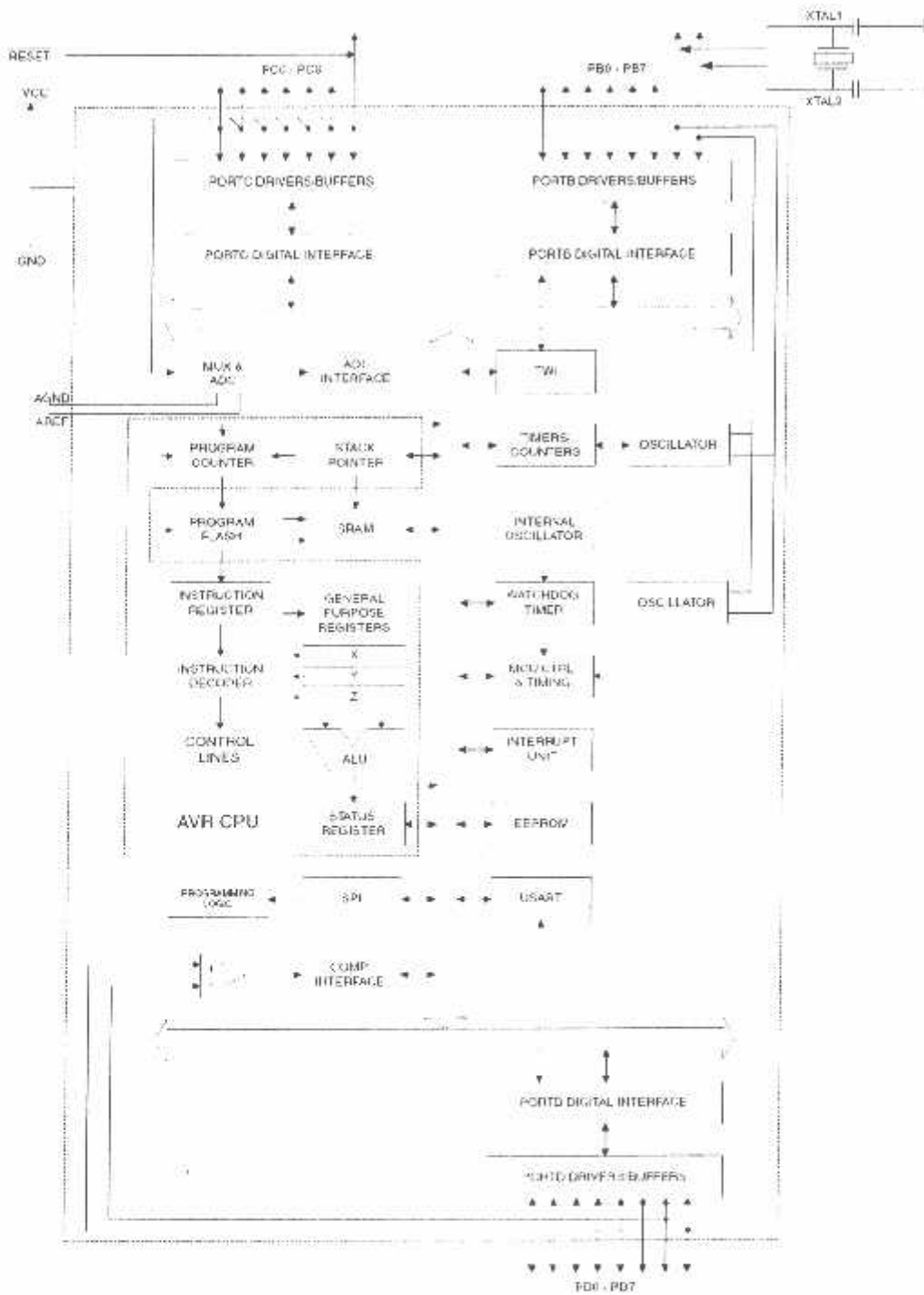
AVR Atmega8 adalah mikrokontroler 8-bit CMOS, *low-power* yang berdasarkan pada bentuk arsitektur AVR RISC (*Reduced Instruction Set Komputer*), yang hampir semua instruksinya selesai dikerjakan dalam satu siklus *clock*. AVR ATmega8 menggunakan instruksi tunggal (*Single Clock Cycle*), yaitu sistem mikrokontroler yang frekuensi kerja dalam chip sama dengan frekuensi kristal untuk osilator tanpa memerlukan rangkaian pembagi frekuensi setelah osilator yang diperlukan untuk memperoleh perbedaan fase dari *clock*, sehingga AVR 12 kali lebih cepat dibanding MCS51.

Berbagai karakteristik yang tersedia dalam IC ATmega8 adalah sebagai berikut:

- 8K bytes *In-Sistem Programmable Flash*
 - 512 bytes EEPROM (*Electrical Erasable Programmable Read Only Memory*)
 - 512 bytes SRAM (*Static Random Access Memory*)
 - 23 jalur I/O *general-purpose*
 - 32 x 8 *general-purpose working register*
 - *Timer/ Counter* yang fleksibel dengan *mode* pembanding
 - Interupsi internal dan eksternal
 - Pemrograman serial UART (*Universal Asynchronous Receiver and Transmitter*)
 - *Serial Port* SPI (*Serial Peripheral Interface*)
-



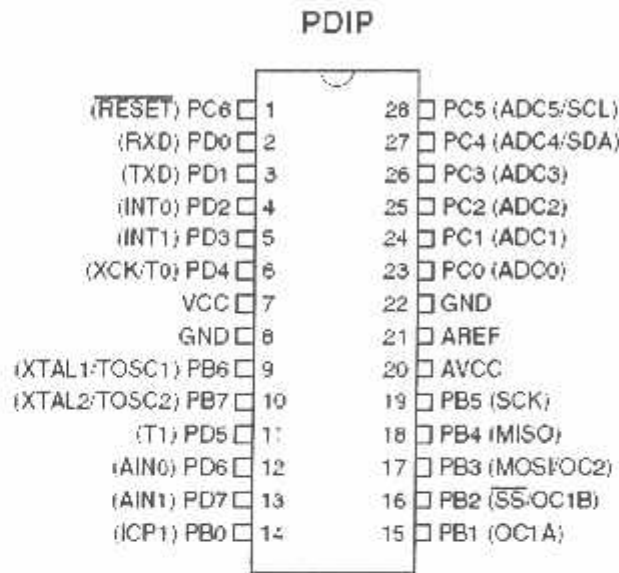
Gambar 2.2. Arsitektur AVR ATmega8^[1]



Gambar 2.3. Blok Diagram AVR ATmega8^[1]

2.3.2. Konfigurasi Pin-Pin Mikrokontroller ATmega8

Mikrokontroller ATmega8 mempunyai 28 pin seperti pada gambar di bawah ini:



Gambar 2.4. Konfigurasi Pin ATmega8^[1]

Fungsi tiap pin-nya adalah sebagai berikut:

- Vcc: Tegangan *Supply*
- Gnd: *Ground*
- Port A (PA0-PA7): Port dua arah I/O 8-bit, kaki *port*nya dapat menyediakan *resistor pull-up* internal (dipilih untuk masing-masing bit). Port A juga dapat mengendalikan tampilan LED secara langsung.
- Port B (PB0-PB7): Port dua arah I/O 8-bit dengan *resistor pull-up* internal, digunakan pada fungsi-fungsi khusus dari karakteristik ATmega8.
- Port C (PC0-PC7): Port dua arah I/O 7-bit dengan *resistor pull-up* internal.

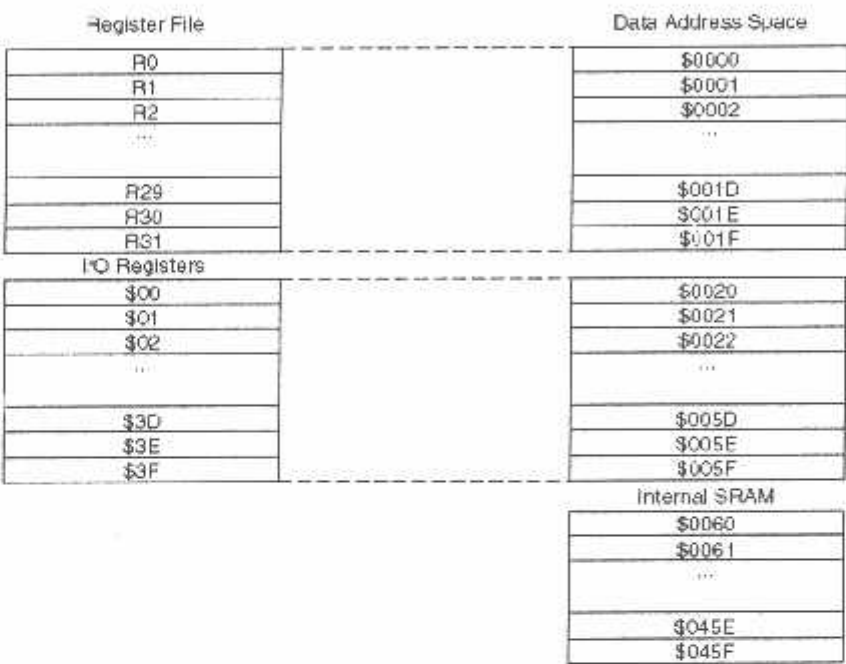
- f. $\overline{\text{PC6/RESET}}$: Jika fuse RSTDISBL sudah diprogram, PC6 digunakan sebagai suatu pin I/O. Jika fuse RSTDISBL belum diprogram, PC6 digunakan sebagai inputan *reset* dimana *level low* dari pin ini lebih panjang dari pulsa minimum yang dihasilkan *reset*.
- g. *Port D (PD0-PD7)*: Port dua arah I/O 7-bit dengan *resistor pull-up internal*. Sebagai input, *port D* menggunakan eksternal *pull low* dengan sumber arus jika *pull up resistor* diaktifkan.
- h. $\overline{\text{RESET}}$: Input *reset*. *Level low*-nya untuk lebih panjang dari pulsa minimum yang dihasilkan *reset*, meskipun *clock* tidak bekerja.
- i. AV_{CC} : sebagai *supply* tegangan untuk A/D konverter port C (3..0), dan ADC (7..6). Pin ini harus dihubungkan dengan V_{CC} melalui *low-pass filter*.
- j. AREF : Pin analog referensi untuk A/D konverter.
- k. ADC 7..6 (TQFT and MLF): Pada TQFP dan MLP, ADC 7..6 bekerja sebagai input *analog* untuk A/D konverter. Pin-pinnya mendapat daya dari power *supply analog* dan dapat melayani 10 bit saluran ADC.

2.3.3. Peta Memori

AVR ATmega8 memiliki ruang pengalamatan memori data dan memori program yang terpisah. Memori data terbagi menjadi 3 bagian, yaitu 32 register umum, 64 buah register I/O, dan 1024 *byte* SRAM *Internal*.

Register keprluan umum menempati *space* data pada alamat terbawah, yaitu \$00 sampai \$1F. Sementara itu, register khusus untuk menangani I/O dan kontrol terhadap mikrokontroler menempati 64 alamat berikutnya, yaitu mulai dari \$20 hingga \$5F. register tersebut merupakan register yang khusus digunakan untuk

mengatur fungsi terhadap peripheral mikrokontroller, seperti kontrol register, *timer/counter*, fungsi-fungsi I/O, dan sebagainya. Alamat memori berikutnya digunakan untuk SRAM 1024 *byte*, yaitu pada lokasi \$60 sampai dengan \$45F. Konfigurasi memori data ditunjukkan pada gambar dibawah ini.

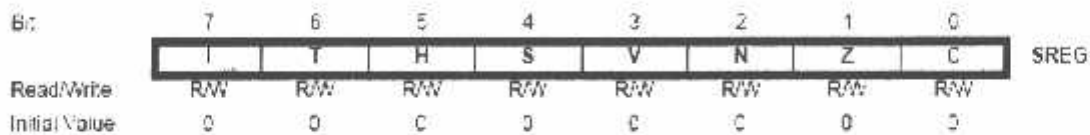


Gambar 2.5. Konfigurasi Memori Data AVR ATmega8^[1]

Memori program yang terletak dalam *Flash Sistem Reprogrammable Flash* mempunyai 8K *byte* karena setiap instruksi memiliki lebar 16-bit atau 32-bit. AVR ATmega memiliki 4K *byte* x 16-bit *Flash* dengan alamat mulai dari \$00 sampai \$FFF. AVR tersebut memiliki 12-bit *Program Counter* sehingga mampu mengamati isi *Flash*. Selain itu, AVR ATmega8 juga memiliki memori data berupa EEPROM 8-bit sebanyak 512 *byte*. Alamat EEPROM dimulai dari \$000 sampai \$1FF.

2.3.4. Status Register (SREG)

Status register adalah register berbasis status yang dihasilkan pada setiap operasi yang dilakukan ketika suatu instruksi dieksekusi. SREG merupakan bagian dari inti CPU mikrokontroler.



Gambar 2.6. Status Register Atmega8^[1]

Keterangan dari bit SREG adalah:

a. Bit 7 - I: *Global Interrupt Enable*

Bit harus diset untuk meng-*enable* interupsi. Setelah itu, baru dapat mengaktifkan interupsi mana yang akan digunakan dengan cara meng-*enable* bit kontrol register yang bersangkutan secara individu. Bit akan di-*clear* apabila terjadi suatu interupsi, serta akan diset kembali oleh intruksi RETI.

b. Bit 6 – T: *Bit Copy Storage*

Intruksi BLD dan BST menggunakan bit-T sebagai sumber atau tujuan dalam operasi bit. Suatu bit dalam suatu register GPR dapat disalin ke bit T menggunakan instruksi BST, dan sebaliknya bit T dapat disalin kembali ke suatu bit dengan register GPR menggunakan instruksi BLD.

c. Bit 5 – H: *Half Carry Flag*

d. Bit 4 – S: *Sign Bit*, $S = N \oplus V$

Bit-S merupakan hasil operasi EOR antara *flag-N (negative)* dan *flag V* (komplemen dua *overflow*).

e. Bit 3 – V: *Two's Complement Overflow Flag*

Bit berguna untuk mendukung operasi aritmatika.

f. Bit 2 – N: *Negative Flag*

Apabila suatu operasi menghasilkan bilangan negative, maka *flag-N* akan diset.

g. Bit 1 – Z: *Zero Flag*

Bit akan diset bila hasil operasi yang diperoleh adalah nol.

h. Bit 0 – C: *Carry Flag*

Apabila suatu operasi menghasilkan *carry*, maka bit akan diset.

2.3.5. Register I/O

Semua *port* pada AVR memiliki kebenaran fungsional *read-modify-write* ketika digunakan sebagai *port I/O* umum. Ini berarti bahwa arah dari satu pin *port* dapat diubah tanpa bermaksud mengubah arah dari pin yang lain. Logika *port I/O* dapat diubah-ubah dalam program secara *byte* atau hanya bit tertentu. Mengubah sebuah keluaran bit I/O dapat dilakukan menggunakan perintah *cbi* (clear bit I/O) untuk menghasilkan output *low* dan perintah *sbi* (set bit I/O) untuk menghasilkan output *high*. Pengubahan secara *byte* dilakukan dengan perintah *in* atau *out* yang menggunakan register bantu.

a. *Port A*

Tiga lokasi alamat memori I/O diletakkan pada *port A*, masing-masing adalah register data-*Port A*, \$1B (\$3B), register data *direction* (register

pengarah data)-DDRA, \$1A (\$3A), dan pin input *port* A-PIN A, \$19 (\$39). Pin-pin *port* A memiliki fungsi alternatif yang terhubung pada pilihan data eksterna. SRAM. *Port* A dapat dikonfigurasi menjadi multiplexed *low order* alamat/data bus selama akses ke data memori eksternal. (blok diagram dapat dilihat pada lampiran).

b. *Port* B

Tiga lokasi alamat memori I/O yang dilokasikan pada *port* D, masing-masing adalah register data-*port* B, \$18 (\$38), register pengarah data-DDRB, \$17 (\$37), dan pin input *port* B-PINB, \$16 (\$36). (Blok diagram *port* B dan fungsi *Timer/ Counter 2* pinnya dapat dilihat pada lampiran).

c. *Port* C

Tiga lokasi alamat memori I/O yang dilokasikan pada *port* C, masing-masing adalah register data-*port* C, \$15 (\$35), register pengarah data-DDRC, \$14 (\$34), dan pin input *port* C-PINC, \$13 (\$33). (Blok diagram skematik dapat dilihat pada lampiran).

d. *Port* D

Tiga lokasi alamat memori I/O yang dilokasikan pada *port* D, masing-masing adalah register data-*port* D, \$12 (\$32), register pengarah data-DDRD, \$11 (\$31), dan pin input *port* D-PIND, \$10 (\$30). (Blok diagram skematik *port* D dan fungsi alternatif pinnya dapat dilihat pada lampiran).

2.3.6. *Timer/ Counter 2*

Timer/ Counter 2 adalah 8 bit *Timer/ Counter* yang multifungsi. Deskripsi

Timer/ counter 2 pada ATmega8 adalah sebagai berikut:

- a. Sebagai *Counter* 1 kanal.
- b. *Timer* dinolkan saat *match compare* (*auto reload*).
- c. Dapat menghasilkan gelombang PWM dengan *glitch-free*.
- d. *Frekuensi generator*.
- e. *Prescaler* 10 bit untuk timer.
- f. Interupsi *timer* yang disebabkan *timer overflow* dan *match compare* (TOV2 dan OCF2).
- g. Dapat menggunakan *clock* dari kristal *independent* luar sebesar 32 kHz pada I/O *clock*.

Pengaturan *Timer/Counter2* diatur oleh TCCR2 (*Timer/ Counter* Kontrol

Register 0) yang dapat dilihat pada gambar berikut:

Bit	7	6	5	4	3	2	1	0	
	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	TCCR2
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Gambar 2.7. Register TCCR2^[1]

Penjelasan untuk setiap bit adalah:

- a. bit 7 – FOC2: *Force Output Compare*
- b. bit 6,3 – WGM21: WGM21:WGM20: *Waveform Generator Unit*.

Bit tersebut mengontrol kenaikan *counter*, sumber dari nilai maksimum *counter*, dan tipe dari jenis *Timer/ Counter* yang dihasilkan, yaitu *mode normal*, *clear timer*, *mode compare match*, dan dua tipe dari PWM (*Pulse*

Width Modulation). Berikut tabel *setting* pada bit untuk menghasilkan *mode* tertentu:

Tabel 2.1. Konfigurasi Bit WGM21 dan WGM20^[1]

Mode	WGM21 (CTC2)	WGM20 (PWM2)	Timer/Counter Mode of Operation ⁽¹⁾	TOP	Update of OCR2	TOV2 Flag Set
0	0	0	Normal	0xFF	Immediate	MAX
1	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	1	0	CTC	OCR2	Immediate	MAX
3	1	1	Fast PWM	0xFF	TOP	MAX

c. Bit 5,4 – COM01:COM00: *Compare Match Output Mode*

Bit mengontrol pin OC0 (*Output Compare Pin*). Apabila kedua bit tersebut nol atau *clear*, maka pin CO0 berfungsi sebagai pin biasa. Namun, jika salah satu bit *set*, maka fungsi bit tergantung pada *setting* bit pada WGM00 dan WGM01. Berikut daftar tabel *setting* bit pada WGM00 dan WGM01:

Tabel 2.2. Konfigurasi Bit COM21 dan COM20 *Compare Output*

Mode non-PWM^[1]

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Toggle OC2 on Compare Match
1	0	Clear OC2 on Compare Match
1	1	Set OC2 on Compare Match

Tabel 2.3. Konfigurasi Bit COM21 dan COM20 Compare Output

Mode Fast PWM^[1]

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Reserved
1	0	Clear OC2 on Compare Match, set OC2 at TOP
1	1	Set OC2 on Compare Match, clear OC2 at TOP

Tabel 2.4. Konfigurasi Bit COM21 dan COM20 *Compare Output*

Phase Correct PWM^[1]

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Reserved
1	0	Clear OC2 on Compare Match when up-counting, Set OC2 on Compare Match when downcounting.
1	1	Set OC2 on Compare Match when up-counting, Clear OC2 on Compare Match when downcounting.

d. Bit 2, 1, 0 – CS22, CS21, CS20

Ketiga bit tersebut memilih sumber *clock* yang akan digunakan oleh
Timer/Counter. Berikut *list* tabelnya:

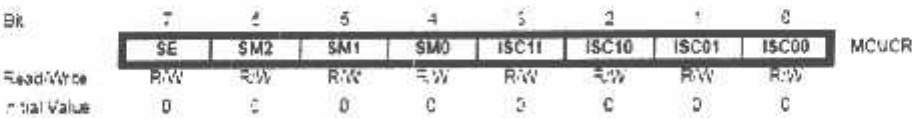
Tabel 2.5. Konfigurasi Bit *Clock Select* Untuk Memilih Sumber *Clock*^[1]

CS22	CS21	CS20	Description
0	0	0	No clock source (Timer/Counter stopped).
0	0	1	clk _{T2S} /(No prescaling)
0	1	0	clk _{T2S} /8 (From prescaler)
0	1	1	clk _{T2S} /32 (From prescaler)
1	0	0	clk _{T2S} /64 (From prescaler)
1	0	1	clk _{T2S} /128 (From prescaler)
1	1	0	clk _{T2S} /256 (From prescaler)
1	1	1	clk _{T2S} /1024 (From prescaler)

2.3.7. Interupsi

Interupsi adalah kondisi yang membuat CPU berhenti dari rutinitas yang sedang dikerjakan (rutin utama) untuk mengerjakan rutin lain (rutin intrupsi). AVR ATmega8 memiliki 19 sumber interupsi.

- a. Pada AVR terdapat 3 pin untuk interupsi eksternal, yaitu INT0, INT1, INT2. Interupsi eksternal dapat dibangkitkan apabila terdapat perubahan logika atau logika 0 pada pin interupsi. pengaturan kondisi keadaan yang menyebabkan terjadinya interupsi eksternal diatur oleh register MCUCR (MCU Kontrol Register). Yang terlihat pada gambar dibawah ini:



Gambar 2.8. Register MCUCR^[1]

- b. Bit ISC11 dan ISC10 bersama-sama menentukan kondisi yang dapat menyebabkan interupsi eksternal pada pin INT1. Keadaan selengkapnya dapat dilihat pada tabel dibawah ini:

Tabel 2.6. Beberapa *Setting* Kondisi Yang Menyebabkan Interupsi Eksternal I^[1]

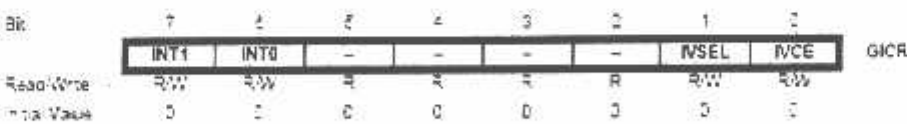
ISC11	ISC10	Description
0	0	The low level of INT1 generates an interrupt request.
0	1	Any logical change on INT1 generates an interrupt request.
1	0	The falling edge of INT1 generates an interrupt request.
1	1	The rising edge of INT1 generates an interrupt request.

- c. Bit ISC01 dan ISC00 bersama-sama menentukan kondisi yang dapat menyebabkan interupsi eksternal pada pin INT0. keadaan selengkapnya dapat dilihat pada tabel dibawah ini:

Tabel 2.7 Beberapa *Setting* Kondisi Yang Menyebabkan Interupsi Eksternal 0^[1]

ISC01	ISC00	Description
0	0	The low level of INT0 generates an interrupt request.
0	1	Any logical change on INT0 generates an interrupt request.
1	0	The falling edge of INT0 generates an interrupt request.
1	1	The rising edge of INT0 generates an interrupt request.

Pemilihan pengaktifan interupsi eksternal diatur oleh register GICR (General Interupsi Kontrol Register) yang terlihat seperti gambar berikut:



Gambar 2.9. General Interrupt Control Register^[1]

Bit penyusun dapat dijelaskan sebagai berikut:

- a. Bit INT1 adalah bit untuk mengaktifkan intrupsi eksternal 1. apabila bit tersebut diberi logika 1 dan bit-I pada SREG (status register) juga satu, maka interupsi eksternal 1 akan aktif.
- b. Bit INT0 adalah bit untuk mengaktifkan intrupsi eksternal 0, apabila bit tersebut diberi logika 1 dan bit-I pada SREG (status register) juga satu, maka interupsi eksternal 0 akan aktif.
- c. Bit INT2 adalah bit untuk mengaktifkan interupsi eksternal 2 apabila bit tersebut diberi logika 1 dan bit-I pada SREG (status register) juga satu, maka eksternal 2 akan aktif.

Program interupsi dari masing-masing jenis interupsi eksternal akan dimulai dari vektor interupsi pada masing-masing jenis. Alamatnya dapat dilihat pada tabel:

Tabel 2.8. Macam Sumber Interupsi pada AVR Atmega8^[1]

Vector No.	Program Address ⁽²⁾	Source	Interrupt Definition
1	0x000 ⁽¹⁾	RESET	External Pin, Power-on Reset, Brown-out Reset, and Watchdog Reset
2	0x001	INT0	External Interrupt Request 0
3	0x002	INT1	External Interrupt Request 1
4	0x003	TIMER2 COMP	Timer/Counter2 Compare Match
5	0x004	TIMER2 OVF	Timer/Counter2 Overflow
6	0x005	TIMER1 CAPT	Timer/Counter1 Capture Event
7	0x006	TIMER1 COMPA	Timer/Counter1 Compare Match A
8	0x007	TIMER1 COMPB	Timer/Counter1 Compare Match B
9	0x008	TIMER1 OVF	Timer/Counter1 Overflow
10	0x009	TIMER0 OVF	Timer/Counter0 Overflow
11	0x00A	SPI, STC	Serial Transfer Complete
12	0x00B	USART, RXC	USART, Rx Complete
13	0x00C	USART, UDRE	USART Data Register Empty
14	0x00D	USART, TXC	USART, Tx Complete
15	0x00E	ADC	ADC Conversion Complete
16	0x00F	EE_RDY	EEPROM Ready
17	0x010	ANA_COMP	Analog Comparator
18	0x011	TWI	Two-wire Serial Interface
19	0x012	SPM_RDY	Store Program Memory Ready

Untuk inisialiasasi awal interupsi, perlu dituliskan terlebih dahulu vektor interupsi dari interupsi yang terdapat pada sistem. Vektor interupsi adalah nilai yang disimpan ke *program counter* pada saat terjadi interupsi sehingga program akan menuju ke alamat yang ditunjukkan oleh *program counter*. alamat interupsi eksternal 0 pada alamat 001H dan interupsi terima serial pada alamat 00B masing-masing alamat vektor memiliki jarak yang berdekatan sehingga akan timbul masalah jika diperlukan rutin layanan interupsi yang panjang oleh sebab itu layanan interupsi eksternal 0 akan melompat ke alamat *ext_int0* dan inetrupsi terima serial pada alamat USART_RXC.

Pengaktifan interupsi eksternal dilakukan dengan memberikan logika satu pada register GICR. Dengan demikian, pada pengaktifan interupsi eksternal 0, akan diberikan logika satu pada bit ke 6 register GICR, pengaktifan interupsi terima serial dilakukan dengan memberikan logika 1 pada bit ke 7 register UCSRA. Terakhir, berikan perintah sei untuk menagaktifkan *global interrupt*.

Interupsi dapat muncul kapan pun (kecuali jika bit *enable interupsi* dalam SREG *clear*) dengan demikian, interupsi juga dapat muncul ketika program sedang melakukan kalkulasi. Kalkulasi tersebut merubah *flags* dalam status register yang digunakan untuk *next step* dari kalkulasi atau untuk beberapa percabangan program. Jika ISR mengubah *flags* dalam SREG, maka kalkulasi yang sedang ditempatkan dalam program yang berjalan normal dapat *di-corrupt*. Oleh sebab itu, perlu pengamanan SREG pada setiap subrutin interupsi.

2.3.8. Register TIMSK

Selain register di atas terdapat pula register TIMSK (*Timer/ Counter Interrupt Mask Register*).

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	-	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Gambar 2.10. Register TIMSK^[1]

Penjelasan Untuk setiap bit adalah:

- a. Bit 0 – TOIE0: *Timer/ Counter 0 Overflow Interrup Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan *enable* interupsi Overflow *Timer/ Counter 0*.

- b. Bit 1 – OCIE0: *Timer/ Counter 0, Output Compare Match Interrupt Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka bias dilakukan *enable* interupsi *Output Compare Match Timer/ Counter 0*.

- c. Bit 2 – TOIE1: *Timer/ Counter 1 Overflow Interrupt Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan *enable* interupsi *Overflow Timer/ Counter 1*.

- d. Bit 3 – OCIE1B: *Timer/ Counter 1, Output Compare B Match Interrupt Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan *enable* interupsi *Overflow Compare Match B Timer/ Counter 1*.

- e. Bit 4 – OCIE1A: *Timer/ Counter 1, Output Compare A Match Interrupt Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan *enable* interupsi *Overflow Compare Match A Timer/ Counter 1*.

- f. Bit 5 – TICIE1: *Timer/ Counter 1 Input Capture Interrupt Enable*

- g. Bit 6 – TOIE2: *Timer/ Counter 2, Overflow Interrupt Enable*

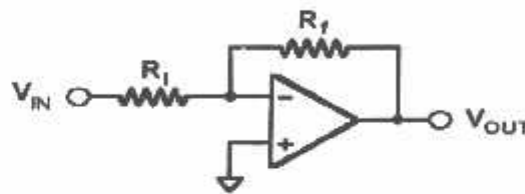
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan *enable* interupsi *Overflow Timer/ Counter 2*.

- h. Bit 7 – OCIE2: *Timer/ Counter 2, Output Compare Match Interrupt Enable*

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka bias dilakukan *enable* interupsi *Output Compare Match Timer/ Counter 2*.

2.4. Penguat

Penguat pembalik adalah rangkaian operasional yang paling dasar. Penguat pembalik menggunakan umpan balik negatif untuk menstabilkan perolehan tegangan keseluruhan, dimana A_{OL} terlalu tinggi dan tidak stabil untuk digunakan tanpa umpan balik. Rangkaian penguat pembalik terlihat seperti pada gambar 2.11.



Gambar 2.11. Rangkaian Penguat Pembalik^[3]

Tegangan outputnya dapat diketahui dengan persamaan:

$$V_{OUT} = -V_{IN} \frac{R_f}{R_i}$$

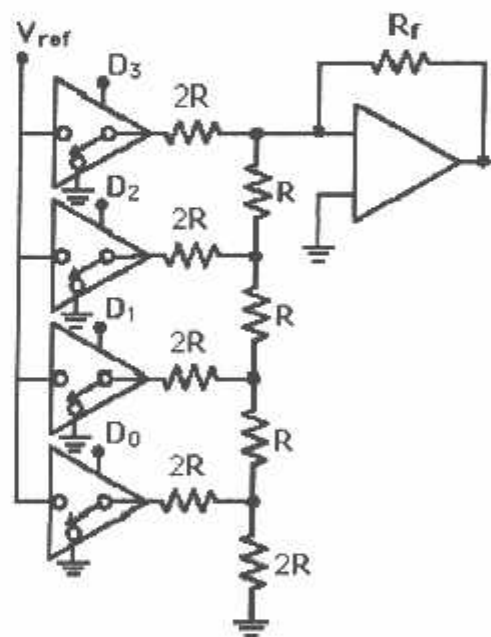
Sedangkan penguatannya (A_{CL}) seperti persamaan dibawah ini:

$$A_{CL} = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_i}$$

2.5. Digital To Analog Konverter (DAC)

Keluaran-keluaran yang berbentuk sinyal analog dari suatu sistem komputer dapat diperoleh dengan menggunakan konverter digital ke analog, yang luas dikenal dengan istilah DAC (*Digital to Analogue Konverter*). DAC akan mengkonversi sebuah sinyal digital menjadi bentuk sinyal analog.

Salah satu susunan rangkaian konverter digital ke analog adalah DAC dengan pembobotan biner ($R-2R$). Dalam implementasi pembobotan biner kedua, hanya dua nilai resistor yang berbeda yang digunakan untuk memperoleh arus-arus pembobotan biner. Seperti tampak pada gambar 2.10, implementasi DAC pembobotan biner dapat dilakukan dengan menggunakan rangkaian $R-2R$ bersama-sama dengan sebuah komponen penguat dan saklar CMOS. Bergantung pada posisi saklar CMOS, arus-arus pembobotan biner dapat mengalir ke resistor umpan balik atau ke terminal ground. Arus yang mengalir ke resistor umpan balik akan berkontribusi pada tegangan keluaran rangkaian.



Gambar 2.12. Rangkaian $R-2R$ ^[2]

Nilai-nilai bit dari sinyal digital akan menentukan posisi saklar. Sebuah logika yang bernilai 1 pada bit yang paling signifikan akan mengakibatkan saklar CMOS yang berkorespondensi, d_3 , terhubung ke terminal masukan pembalik *buffer*. Arus $\frac{V_{ref}}{2}$ akan mengalir ke titik penjumlahan *buffer* yang akan membangkitkan sebuah tegangan keluaran. Logika yang bernilai 1 pada bit yang paling signifikan berikutnya akan mengoperasikan saklar CMOS d_2 dan mengakibatkan arus $\frac{V_{ref}}{4R}$ mengalir menuju ke titik penjumlahan *buffer*. Dengan demikian besar arus yang mengalir akan bernilai setengah untuk setiap nilai biner bit yang bernilai setengah dari nilai sebelumnya, sehingga tegangan keluaran rangkaian akan berbanding lurus terhadap nilai sinyal digital.

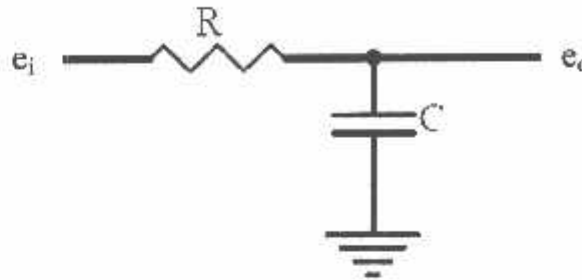
Keuntungan dari rangkaian R-2R adalah hanya memerlukan dua nilai resistor, dimana pencapaian kondisi *matching* di antara sejumlah resistor yang memiliki nilai R dan 2R akan lebih mudah.

2.6. Filter

Filter (tapis atau penyaring) didefinisikan sebagai rangkaian listrik yang dirancang untuk melewatkan atau meloloskan arus bolak-balik yang dibangkitkan pada frekuensi tertentu serta memperlemah semua arus bolak-balik yang dibangkitkan dengan frekuensi-frekuensi yang lain^[4].

Suatu rangkaian filter LPF sederhana yang terdiri dari komponen kapasitor (C) dan resistor (R) ditunjukkan oleh gambar 2.11 berikut ini. Rangkaian ini pada

intinya merupakan sebuah rangkaian pembagi tegangan yang terdiri atas sebuah komponen resistif (resistor) yang terhubung secara seri dengan sebuah kapasitor.



Gambar 2.13. Rangkain Low Pass Filter^[2]

Tegangan keluaran rangkaian, e_o , diambil pada titik ujung dari komponen kapasitor. Tegangan keluaran ini berelasi dengan tegangan masukan, e_i , sesuai persamaan:

$$e_o = \frac{jX_c e_i}{R - jX_c}$$

Persamaan bilangan kompleks di atas memperlihatkan bahwa amplitudo tegangan keluaran, e_o , dapat dinyatakan dalam persamaan:

$$|e_o| = \frac{e_i X_c}{\left(\sqrt{R^2 + X_c^2} \right)}$$

Meskipun tegangan masukan, e_i , dapat dijaga konstan sepanjang kisaran dari frekuensi-frekuensi masukan, amplitudo tegangan keluaran, e_o , akan tetap berkurang jika frekuensi sinyal masukan bertambah. Hal ini terjadi oleh karena reaktansi kapasitif kapasitor $X_c = 1/2\pi fC$, bervariasi secara berkebalikan terhadap frekuensi, f , serta memiliki kecenderungan untuk bernilai tak terhingga pada frekuensi yang sama dengan nol dan bernilai nol pada frekuensi yang sangat tinggi (tak terhingga). Dengan

demikian pada frekuensi-frekuensi yang sangat tinggi, secara efektif tidak akan terdapat tegangan keluaran rangkaian.

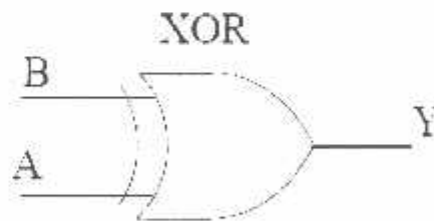
Pada frekuensi-frekuensi rendah rasio voltase keluaran terhadap voltase masukan tetap berada level yang konstan hingga mencapai frekuensi f_c . frekuensi ini dikenal sebagai frekuensi *cutt-off* yaitu frekuensi di mana reaktansi kapasitor memiliki magnitudo yang sama dengan resisitansi rangkaian, yang dirumuskan oleh persamaan:

$$f_c = \frac{1}{2\pi RC} \text{ Hz}$$

Untuk frekuensi-frekuensi yang lebih rendah dari f_c , gain rangkaian adalah konstan dan pada frekuensi-frekuensi yang lebih besar daripada f_c , gain rangkaian dapat dianggap sangat rendah sehingga sinyal-sinyal dengan frekuensi ini akan diredam oleh rangkaian.

2.7 Gerbang XOR

Gerbang *EXCLUSIVE OR* mengikuti definisi berikut: keluaran dari *EXCLUSIVE OR* dua masukan mempunyai keadaan 1, kalau satu dan hanya satu masukan mempunyai kedudukan 1. Symbol standar untuk *EXCLUSIVE OR* diberikan dalam gambar 2.12 seperti dibawah ini:



Gambar 2.14. Gerbang *EXCLUSIVE OR*^[6]

Sedangkan tabel kebenarannya ditunjukkan pada tabel 2.7.

Tabel 2.9. Tabel kebenaran Gerbang *EXCLUSIVE OR*^[6]

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level

L = LOW Logic Level

Gerbang *EXCLUSIVE OR* dapat ditulis dalam notasi *Boolean*:

$$Y = A \oplus B = \overline{A}B + A\overline{B}$$

Suatu *EXCLUSIVE OR* digunakan dalam bagian aritmatika dari suatu komputer. Penggunaan lain adalah dalam suatu komparator tak seimbang, rangkaian penyesuaian (*matching*) atau detektor karena seperti terlihat dalam tabel kebenaran, $Y = 1$ hanya kalau $A \neq B$. Sifat ini digunakan untuk mengecek ketidaksamaan dari dua bit. Kalau bit A tidak sama dengan bit B, maka akan diperoleh keluaran. Dengan cara yang sama jika bit A maupun bit B sama dengan 1, atau jika bit A dan bit B sama dengan 0, maka tidak ada keluaran yang diperoleh, dan $Y = 0$.

2.8 LM358

Terdiri 2 bagian yang terpisah yaitu penguatan tinggi dan internal frekuensi op-amp yang dapat diganti-ganti yang didesain untuk berkerja *single power supply* dengan jangkauan range tegangan yang besar. LM358 ini juga dapat meggunakan *power supply bipolar* atau *supply* terpisah dan sumber arus *drain* lemahnya tidak bergantung dari besar sumber tegangan.

Area aplikasinya termasuk penguat transduser, blok penguatan DC, dan semua rangkaian konvensional op amp dimana sekarang dapat dengan mudah diimplementasikan pada sistem *single power supply*.

2.9 Komunikasi Serial

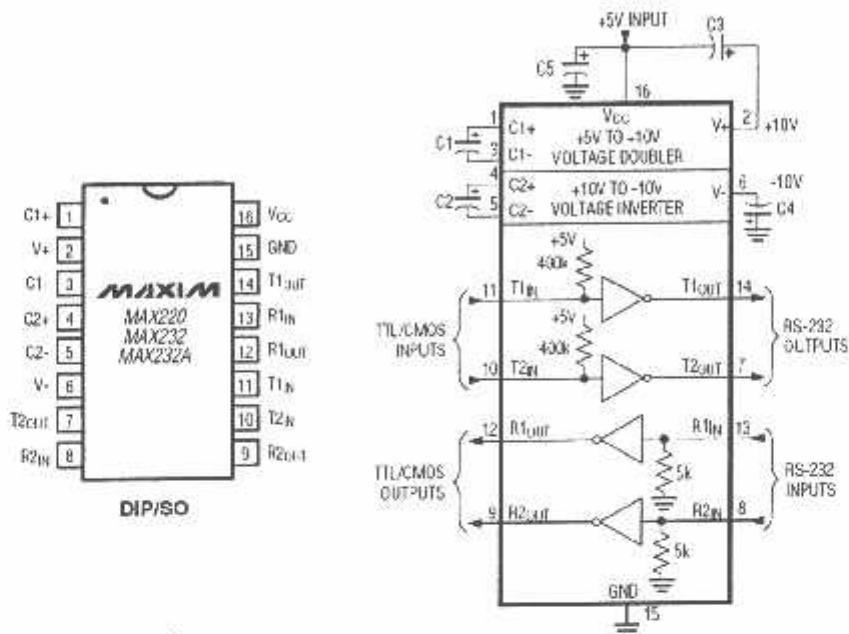
Komunikasi serial dapat dibagi menjadi dua sifat dasar pola komunikasi. Yang pertama adalah komunikasi asinkron, dimana pola-pola bit tertentu dipakai untuk memisahkan bit-bit karakter. Yang kedua adalah komunikasi seri sinkron, yang memungkinkan karakter dikirim secara berurutan, namun membutuhkan karakter sinkronisasi khusus pada awal setiap karakter dan karakter semu khusus untuk dikirimkan ketika tidak ada informasi yang sedang dikirim.

RS MAX232 tersusun dari 2 bagian yaitu *RS232 Line Driver* yang berfungsi mengubah level tegangan TTL ke level tegangan RS232 dan *RS232 Line Receiver* yang berfungsi mengubah level tegangan RS232 ke level tegangan TTL.

Saluran data pada *port* seri PC menggunakan standard RS232, dimana logic 0 (low) dinyatakan sebagai tegangan antara +3 Volt sampai +10 Volt dan logic 1 (high) dinyatakan sebagai tegangan antara -3 Volt sampai -10 Volt. Level tegangan ini tidak sesuai dengan level tegangan yang dipakai pada *port* seri ATmega8 yang menggunakan standard TTL (Transistor Transistor Logic), yaitu level tegangan baku dalam rangkaian – rangkaian digital.

Dalam standar TTL logic 0 (low) dinyatakan sebagai tegangan antara 0 Volt sampai 0.8 Volt, dan logic 1 (high) dinyatakan sebagai tegangan antara 3.5 Volt sampai 5 Volt. Karena perbedaan tegangan tersebut, agar *port* seri PC tidak merusak

port seri ATmega8 antara keduanya dipasangkan IC MAX232 sebagai penyesuai tegangan.



Gambar 2.15. Konfigurasi Pin dan Rangkaian Operasi MAX 232IC^[4]

- Tx Buffer :** Berfungsi menampung dan menyimpan data yang akan dikirim keluar. Data ini dikirim oleh CPU ke Tx Buffer setelah memastikan diperolehkannya melakukan pengiriman.
- Rx Buffer :** Berfungsi menampung dan menyimpan data yang akan diterima. Data yang akan diterima lebih dahulu ditampung dalam Rx Buffer.



BAB III

PERANCANGAN DAN PEMBUATAN ALAT

Bab ini akan membahas tentang perencanaan dan pembuatan alat yang meliputi perencanaan perangkat keras (*Hardware*) dan perangkat lunak (*Software*) dari modulator PSK dengan metode DDS. Perancangan secara keseluruhan dapat dibagi menjadi dua bagian, yaitu :

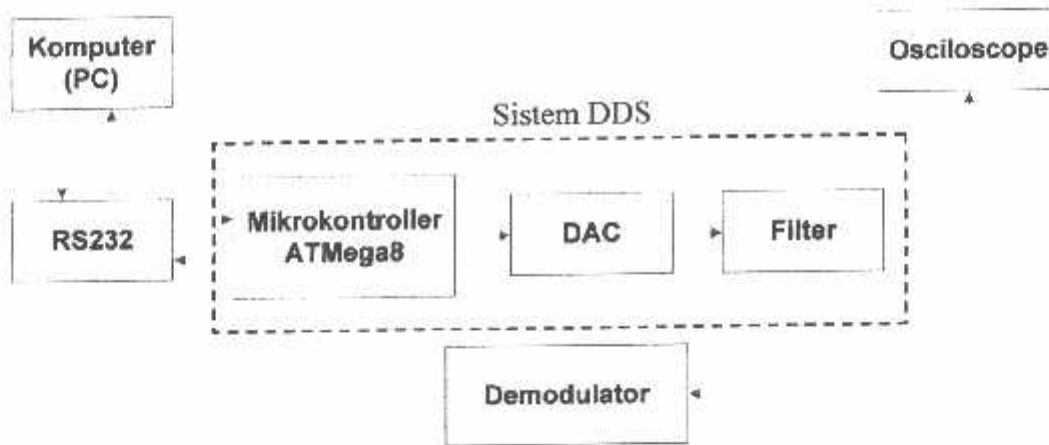
1. Perancangan Perangkat Keras (*Hardware*)
2. Perancangan Perangkat Lunak (*Software*)

Pada perancangan perangkat keras akan meliputi seluruh peripheral yang digunakan pada sistem ini. Pada perancangan perangkat lunak akan meliputi diagram alir dari software secara umum. Kedua perangkat ini dalam kerjanya akan saling menunjang satu sama lain.

3.1. Perancangan Perangkat Keras

3.1.1. Diagram Blok Sistem

Diagram blok sistem secara umum terdiri dari rangkaian modulator dan demodulator. Semua data masukan ke modulator dan data keluaran dari demodulator diolah PC. Modulator terdiri dari mikrokontroler dan DAC. Mikrokontroler secara khusus hanya menerima sinyal inputan secara serial dari PC lalu memodulasikan data-data digital dari PC dan DAC sebagai pengubah data-data digital ke bentuk data analog berupa sinyal sinus. Rangkaian sistem modulator PSK dengan metode Direct Digital Synthesis (DDS) dan demodulator yang direncanakan ditunjukkan dalam Gambar 3.1.



Gambar 3.1. Blok Diagram Sistem

Fungsi dari tiap-tiap blok diagram dijelaskan sebagai berikut :

1. Personal Komputer (PC)

Berfungsi sebagai pemberi data masukan digital dari keyboard (kode ASCII) ke mikrokontroller dan untuk menampilkan data-data yang dikirim ke modulator dan data-data hasil demodulator.

2. Power Supply (ON/OFF)

Sebagai penyuplai tegangan.

3. RS 232

Sebagai media komunikasi antara PC dan mikrokontroler, dimana data-data digital yang dikirim ke mikrokontroler dilakukan secara serial.

4. Mikrokontroller ATmega 8-bit

Berfungsi sebagai pusat algoritma pemrograman DDS yang mengolah semua data masukan digital dari PC.

5. DAC (Digital to Analog Converter)

Berfungsi sebagai pengubah data digital 8 bit dari output mikrokontroller menjadi sinyal analog yang berupa tegangan kontinue.

6. Filter

Pada blok ini digunakan low pass filter dengan fungsi untuk menghaluskan bentuk sinus yang dihasilkan DAC.

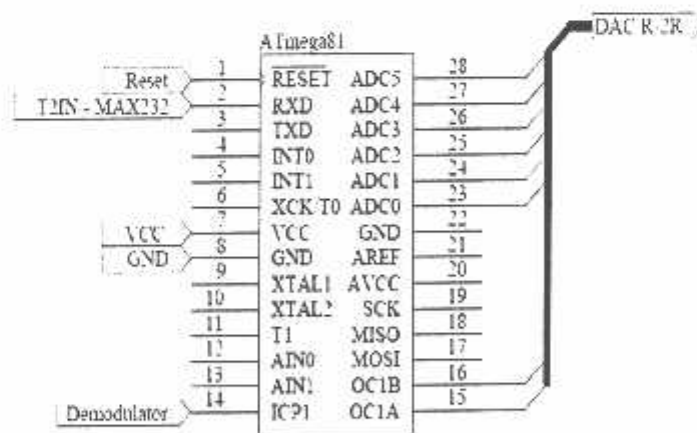
7. Demodulator

Berfungsi sebagai pengubah data analog gelombang sinus yang dihasilkan modulator kembali ke bentuk data digital. Data analog dari modulator harus diubah ke bentuk gelombang kotak lalu diinputkan ke mikrokontroller yang difungsikan sebagai gerbang XOR dan akan membandingkan antara sinyal kotak dengan sinyal referensi untuk mengetahui perbedaan *phase*.

3.1.2. Perancangan Rangkaian Mikrokontroler ATmega8

3.1.2.1. Sistem Minimum ATmega8

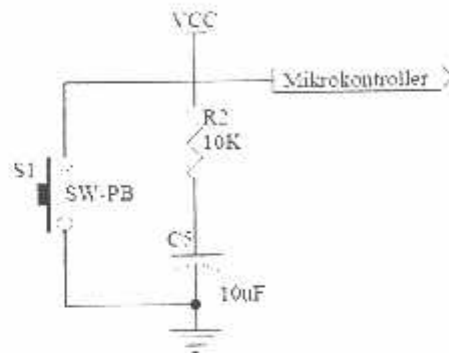
Pada rangkaian ini komponen utamanya adalah unit Mikrokontroler ATmega8. Komponen ini merupakan sebuah *chip* tunggal sebagai pengolah data dan pengontrolan alat. Sebagai pengolah data dan pengontrolan sistem, pin-pin mikrokontroler ATmega8 dihubungkan pada rangkaian pendukung membentuk suatu *minimum* sistem, yang ditunjukkan pada Gambar 3.2 di bawah ini:



Gambar 3.2. Minimum Sistem Mikrokontroler ATmega8

3.1.2.2. Perancangan Rangkaian Reset

Untuk melakukan reset sistem pada mikrokontroler Atmega8 dapat memanfaatkan pin reset. Pin tersebut dihubungkan dengan rangkaian reset eksternal yang ditunjukkan Gambar 3.4 di bawah ini:



Gambar 3.3. Perancangan Rangkaian Reset ATmega8

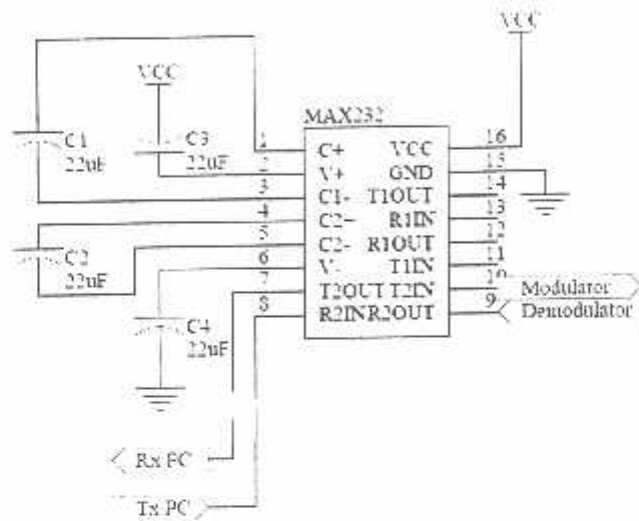
Untuk membangkitkan sinyal *reset* kapasitor dihubungkan dengan V_{CC} dan sebuah resistor yang dihubungkan ke *ground*. Sesuai dengan data sheet Atmega8 bahwa $t_{reset(min)}$ adalah sebesar $1,5 \mu s$.

3.1.3. Perancangan Rangkaian RS232

Sebelum diinputkan ke PC dibutuhkan rangkaian converter tegangan. mikrokontroler mempunyai output logika high dihasilkan dari tegangan 5 volt dan logika low sebesar 0 vol. MAX232 berfungsi untuk memperlebar range tegangan berada dikisaran +10V dan -10V, sehingga dengan range yang lebar ini kesalahan karena rugi-rugi sistem komunikasi dari PC ke mikrokontroler tidak mempengaruhi nilai data yang dikirim.

Proses penerimaan data pada perancangan alat digunakan MAX232 sebagai penghubung antara PC dengan Demodulator. Setelah demodulator menerima masukan data, maka data yang dibaca akan dikirim ke MAX232 untuk ditampilkan secara pada PC.

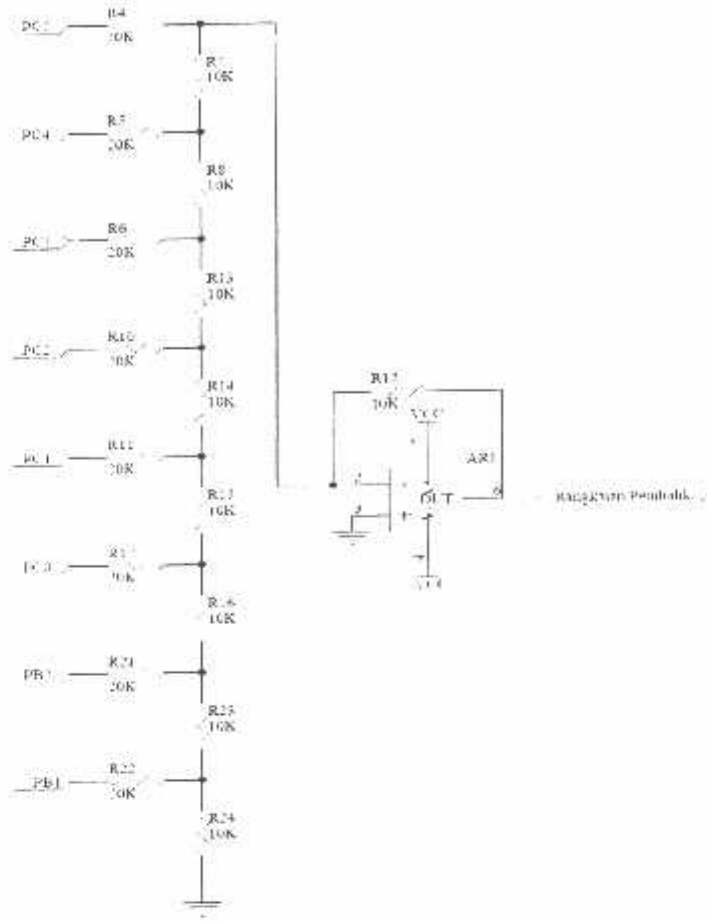
Untuk koneksi ke PC digunakan DB9, dimana rangkaian komunikasi serial MAX232 yang gambar lengkapnya dapat dilihat pada Gambar 3.4. Pin 10 di inputkan ke modulator berfungsi sebagai komunikasi serial untuk mengirimkan kode ASCII dari PC (*Personal Computer*) dan pin 9 merupakan penerima data dari demodulator. Sedangkan pin 7 dan pin 8 dihubungkan dengan Rx dan Tx di PC melalui konektor DB9.



Gambar 3.4. Rangkaian MAX232

3.1.4. Perancangan Rangkaian DAC(Digital/Analog Converter)

Rangkaian DAC (*Digital/Analog Converter*) berfungsi untuk mengubah sinyal digital dari output mikrokontroller menjadi output analog berupa tegangan. DAC yang digunakan merupakan rangkaian R-2R Ladder.



Gambar 3.5. Rangkaian DAC R-2R

Adapun Rangkaian DAC R-2R ditunjukkan dalam Gambar 3.6 di atas. dengan nilai komponen $R=10K$ dan $2R=20K$. Sedangkan op amp yang digunakan sebagai *buffer* penjumlahan dengan penguatan 1 kali.

3.1.5. Perancangan Rangkaian Filter (LPF)

Sinyal yang keluar dari DAC di teruskan ke filter LPF (*Low Pass Filter*). LPF ini berfungsi untuk memperhalus bentuk gelombang sinus keluaran DAC. Nilai komponen R dan C pada *frekuensi cutt off* (f_c) = 1200Hz dapat ditentukan dengan rumus:

$$f_c = \frac{1}{2\pi RC}$$

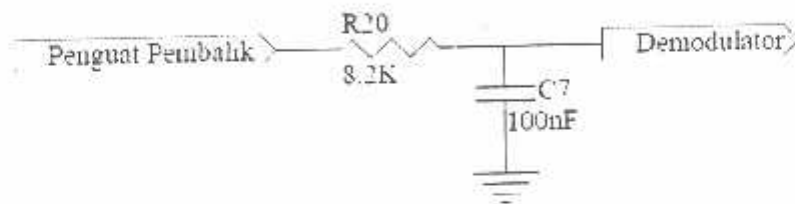
Dipakai kapasitor 100nF , maka hambatan dapat dicari sebagai berikut:

$$1200 = \frac{1}{R \times 100nF}$$

$$R = 8333,33\Omega$$

$$R = 8,33K\Omega$$

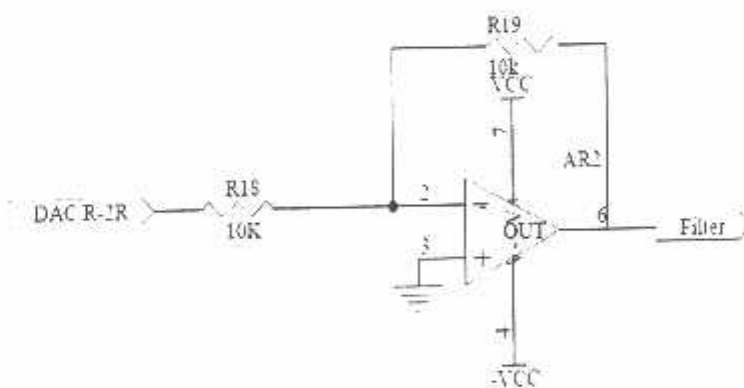
Rangkaian Filter ditunjukkan dalam Gambar 3.6 di bawah ini.



Gambar 3.6. Rangkaian Low Pass Filter

3.1.6. Perancangan Rangkaian Penguat

Digunakan penguatan pembalik sebagai pembalik sinyal keluaran dari DAC yang bernilai negatif. Penguatan yang dirancang sebesar 1 kali, dimana digunakan feedback $R_f = R = 10k$. Gambar 3.7. rangkaian Op Amp *Inverting* seperti tampak di bawah ini.



Gambar 3.7. Rangkaian Op Amp *Inverting*

3.1.7. Perancangan Rangkaian LM358

Setelah data digital dimodulasi menjadi data analog berupa gelombang sinus maka gelombang sinus tersebut harus dikotakkan agar dapat diinputkan ke mikrokontroller ATmega8 yang berfungsi sebagai gerbang XOR. LM358 digunakan untuk merubah gelombang sinus menjadi gelombang kotak. Masukan non Inverting-nya (pin 3) mendapat masukan dari sinyal sinus yang sudah terfilter LPF. Sedangkan masukan *Inverting* (pin 2) mendapatkan inputan dari potensiometer. Karena sinyal sinus hasil modulasi mempunyai range 1,2 Volt, maka potensiometer diatur seperti pada gambar 3.8. untuk mengeset agar tegangan minimum yaitu setengah dari range sinyal sinus yaitu 0,6 Volt merupakan logika *high*. Pin 1 digunakan sebagai keluaran sinyal kotak dari modulator. Dengan analisis pembagi tegangan dapat dihitung perbandingan hambatan di potensiometer sebagai berikut:

$$V_{out} = \frac{R_2}{R_1 + R_2} \times V_{in}$$

$$0,6V = \frac{R_2}{10K\Omega + R_2} \times 5V$$

$$6000 + 0,6R_2 = 5R_2$$

$$6000 = 5R_2 - 0,6R_2$$

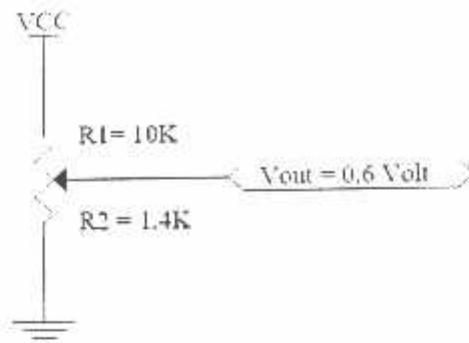
$$6000 = 4,4R_2$$

$$R_2 = \frac{6000}{4,4}$$

$$R_2 = 1363,64\Omega$$

$$R_2 = 1,4K\Omega$$

Berdasarkan perhitungan, untuk menghasilkan tegangan 0,6 Volt di R_2 dipakai hambatan $R_2 = 1,4K\Omega$.



Gambar 3.8. Rangkaian Potensio

3.1.8. Perancangan Rangkaian Demodulator

Demodulator digunakan untuk mengembalikan data yang telah termodulasi, yaitu dengan membandingkan antara data yang sudah termodulasi dengan data referensi sehingga didapatkan perbedaan fasa.

Mikrokontroller ATmega8 difungsikan sebagai gerbang XOR. Gerbang XOR ini dipakai sebagai detektor dari 2 sinyal kotak yaitu dari LM358 dan sinyal referensi. Kedua masukan tersebut akan diproses sesuai dengan table kebenaran dari gerbang XOR, yaitu jika kedua inputannya low atau high maka tidak akan ada outputan yang keluar di pin 1 (*logic low*) dan jika kedua inputannya tidak sama yaitu satu inputan *low* dan inputan lainnya high maka pada pin 1 akan ada outputan (*logic high*).

3.2. Perancangan Perangkat Lunak

Perangkat lunak ini berdasarkan pusat algoritma DDS yaitu mikrokontroller ATmega8. Pembuatan perangkat lunak sistem aplikasi berdasarkan pada semua kejadian yang harus dikerjakan perangkat keras.

Dalam perencanaan alat ini perangkat lunak yang digunakan adalah bahasa C dan perangkat lunak bahasa pemrograman Delphi7. Untuk mikrokontroller ATmega8 bahasa yang digunakan adalah bahasa C, sedangkan

sebagai tampilan visual pada PC digunakan bahasa pemrograman delphi7. Pembuatan perangkat lunak harus melalui proses-proses uji coba secara *software* maupun secara *hardware*.

3.2.1. Pembuatan Gelombang sinus

Proses pembuatan sinus dilakukan dengan sampling disetiap stepnya. Sampling dipilih sesuai keinginan dimana semakin banyak sampling maka sinus yang keluar akan semakin bagus, tetapi membutuhkan waktu proses yang lebih lama. Pada modulator ini satu gelombang sinus disampling sebanyak 33 langkah seperti gambar 3.9.

Setelah nilai sampling tiap stepnya sudah ditentukan, maka perlu dilakukan penentuan waktu sampling. Perhitungan waktu samplingnya seperti dibawah ini.

Diketahui:

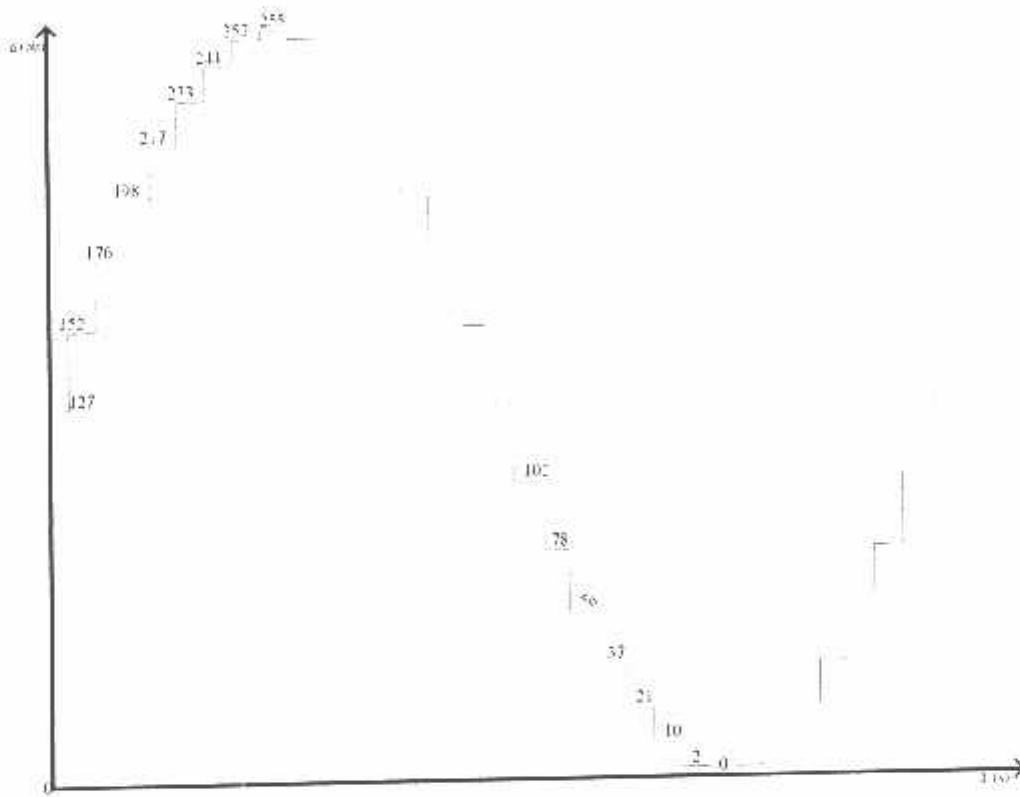
- Frekuensi sinus: 1200Hz

Maka:

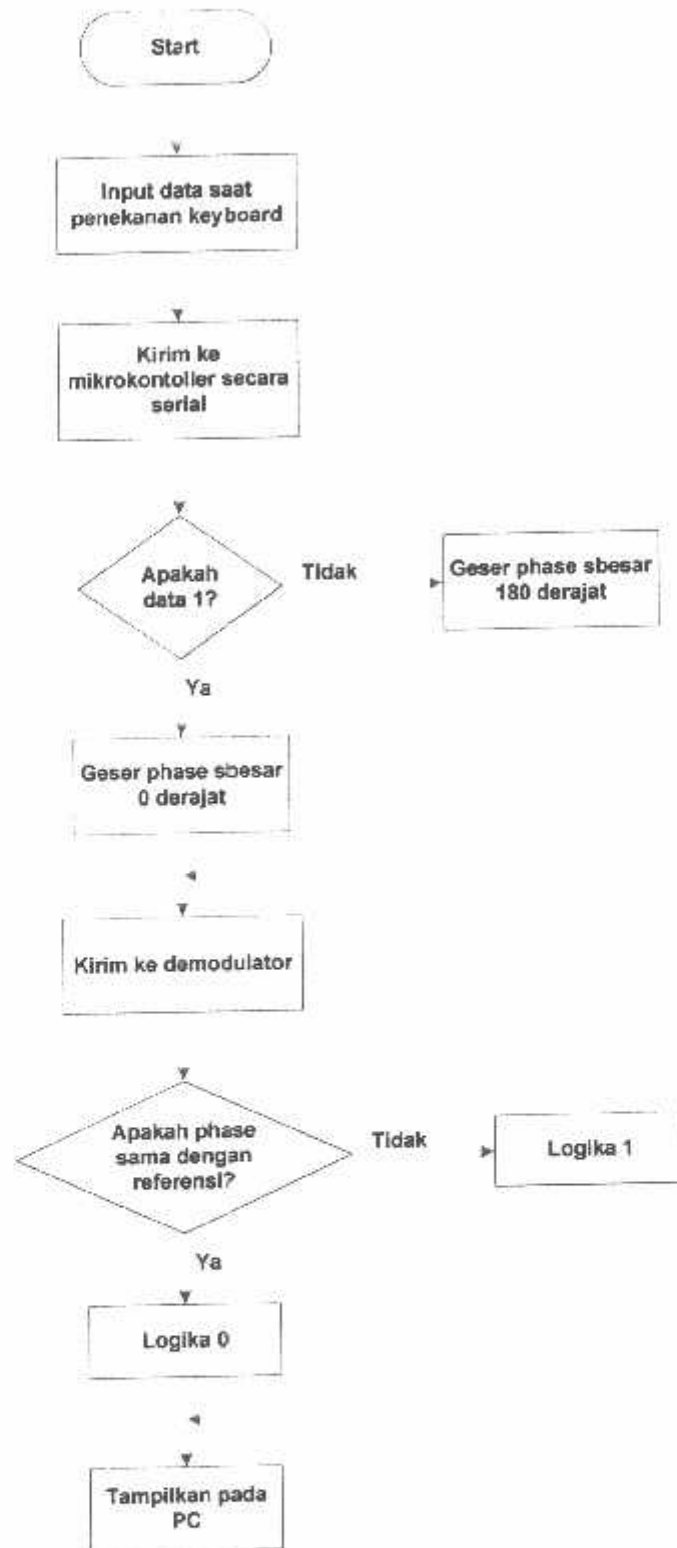
$$\begin{aligned}
 \text{Periode gelombang sinus (T)} &= \frac{1}{1200} \\
 &= 833,33\mu\text{s} \\
 \text{Waktu perpindahan tiap langkah} &= \frac{T}{33} \\
 &= \frac{833,33 \times 10^{-6}}{33} \\
 &= 25,25\mu\text{s}
 \end{aligned}$$

Setelah diketahui waktu sampling perlangkahnya maka proses selanjutnya menginisialisasi port mikrokontoller. Timer diatur lalu menunggu

masukan data digital dari komputer. Bila masukan logika 1 maka sampling data dimulai dari indeks 1 dan diulang sampai indeks 32, bila masukan logika 0 maka sample data dari indeks 31 dan diulang sampai indeks 0. Ketika proses sampling sudah selesai maka proses selanjutnya kembali menunggu inputan data selanjutnya



3.2.2. Flowchart Sistem



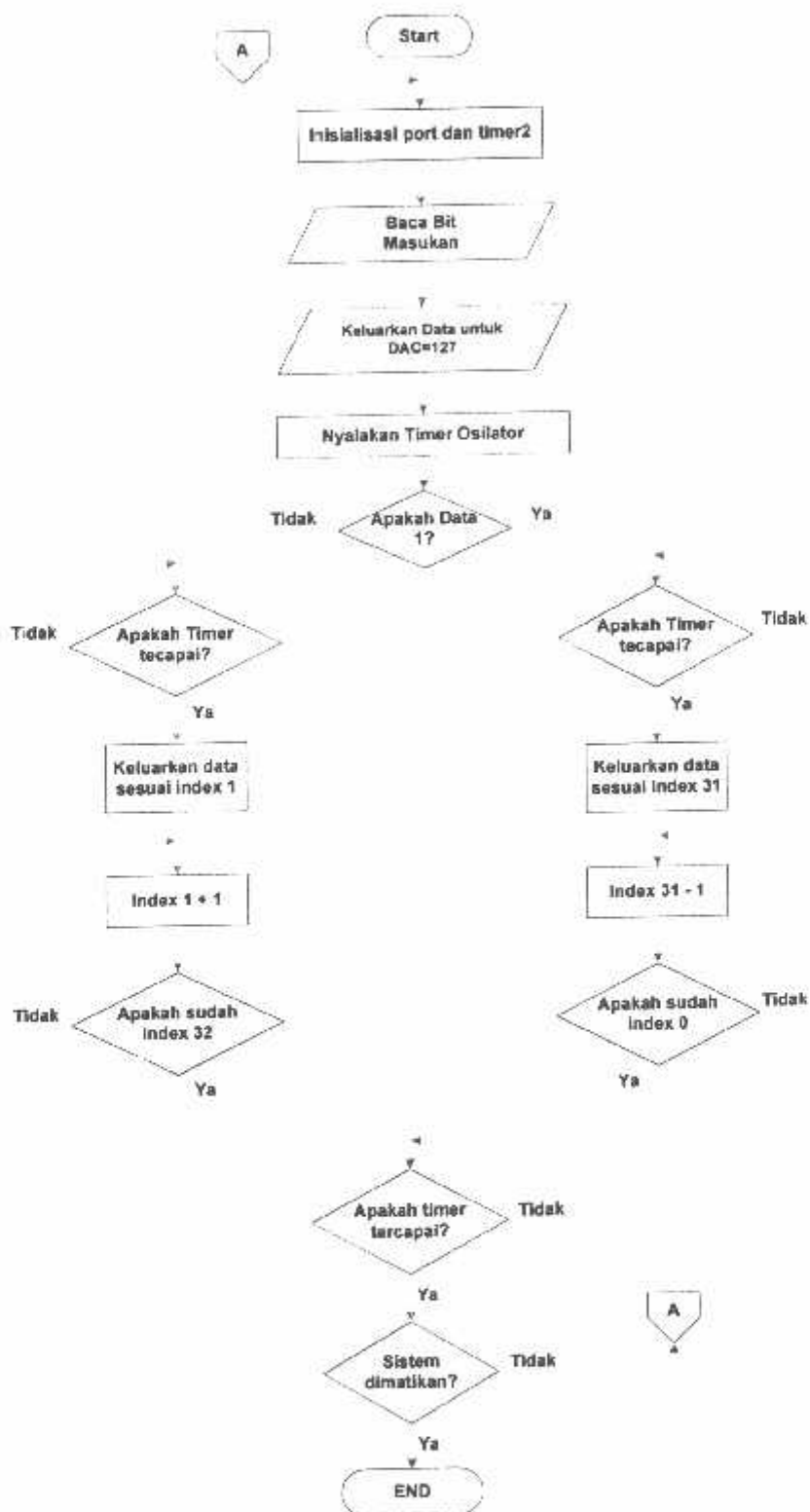
Gambar 3.10. Flowchart Sistem

3.2.3. Flowchart Delphi



Gambar 3.11. Flowchart Delphi

3.2.4. Flowchart Pada Mikrokontroler



Gambar 3.12. Flowchart Mikrokontroler



BAB IV

PENGUKURAN DAN PENGUJIAN

Untuk memastikan sistem aplikasi modulator PSK dapat bekerja sesuai dengan spesifikasi perencanaan, diperlukan serangkaian pengujian dan pengukuran.

Bab pengujian dan pengukuran ini menguraikan tentang bagian alat yang diuji, tujuan pengujian, langkah-langkah pengujian dan hasil pengujian yang menunjukkan unjuk kerja dari tiap-tiap bagian alat. Pembahasan dalam bab ini dibagi menurut pembagian alat yang diuji untuk mengetahui unjuk kerja sistem secara keseluruhan.

Untuk mengetahui kemampuan alat dan sistem kerja sesuai dengan program yang telah dibuat maka dilakukan pengujian pada alat dan sistem kerja alat dengan prosedur pengujian sebagai berikut:

1. Pengujian perangkat keras
2. Pengujian perangkat lunak

4.1. Pengujian Perangkat Keras

Pengujian dilakukan pada tiap-tiap blok system aadapun blok-blok yang di uji adalah:

- a. Rangkaian MAX232
 - b. Rangkaian DAC R-2R
 - c. Rangkaian penguat pembalik
-

- d. Rangkaian modulator
- e. Rangkaian demodulator

4.1.1 Pengujian Komunikasi Serial Interface

4.1.1.1. Tujuan

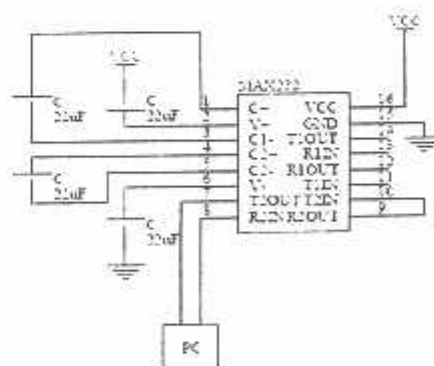
Untuk mengetahui fungsi pin Tx (pengiriman data) dan Rx(penerimaan data) pada RS232 sudah berfungsi dengan baik. Dengan cara mengirimkan data dari PC ke Mikrokontroller melalui rangkaian RS232 dan pada pin9 dan 10 (Rx dan Tx) dijump, sehingga data yang akan dikirimkan oleh PC ke Mikrokontroller akan dibalikkan lagi ke PC.

4.1.1.2. Peralatan yang Digunakan

- a. Rangkaian MAX232
- b. Kabel Serial (DB 9)
- c. Power Supply +5 volt
- d. Jumper

4.1.1.3. Langkah-langkah Pengujian

- a. Merangkai rangkaian driver seperti pada gambar dibawah ini:

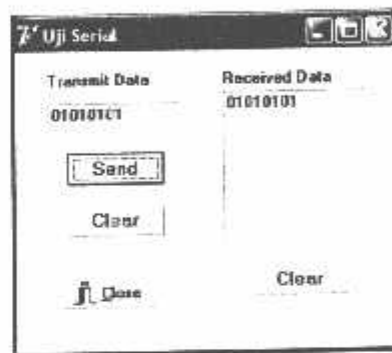


Gambar 4.1. Rangkaian Pengujian Serial Interface

- b. Pada gambar di atas, output MAX232 (Pin T_x) dihubungkan dengan input (Pin R_x), dengan demikian semua data yang dikirim melalui PC akan diumpun-balikkan ke PC.

4.1.1.4. Analisa

Data yang dikirim PC 01010101 maka data yang diterima oleh PC pun sama 01010101.



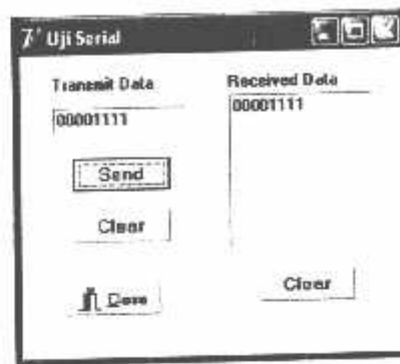
Gambar 4.2. Pengujian Komunikasi Serial data 1

Data yang dikirim PC 00110011 maka data yang diterima oleh PC pun sama 00110011.



Gambar 4.3. Pengujian Komunikasi Serial data 2

Data yang dikirim PC 00001111 maka data yang diterima oleh PC pun sama 00001111.



Gambar 4.4. Pengujian Komunikasi Serial data 3

4.1.2. Pengujian Rangkaian Penguat Pembalik

4.1.2.1. Tujuan

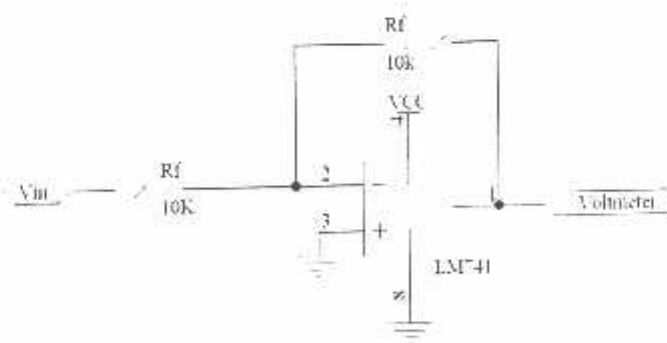
Pengujian rangkaian penguat (op amp) bertujuan untuk mengetahui besar sinyal output setelah mengalami penguatan sinyal input.

4.1.2.2. Peralatan yang digunakan

- Rangkaian penguat pembalik
- Function Generator
- Voltmeter digital (DT9205B)

4.1.2.2. Langkah-langkah Pengujian

- Merangkai rangkaian seperti pada gambar di bawah ini:



Gambar 4.5. Rangkaian Pengujian Penguat

- b. Menghubungkan kutub positif multimeter digital (multimeter diset pada skala 20 Volt DC) pada pin 1 dari IC LM 741, sedangkan kutub negatif ke *ground*.
- c. Mengamati perubahan nilai tegangan pada multimeter dan mencatat hasilnya pada tabel 4.2.

4.1.2.2. Analisa

Untuk perhitungan tegangan output op amp dapat dicari dengan menggunakan rumus berikut:

$$V_{out} = -V_{in} \frac{R_f}{R_i}$$

Penguatannya (A_{CL}) mempunyai persamaan seperti di bawah ini:

$$A_{CL} = \frac{V_{out}}{V_{in}} = -\frac{R_f}{R_i}$$

% Kesalahan dapat dicari dengan persamaan di bawah ini:

$$\% \text{ kesalahan} = \frac{(\text{perhitungan} - \text{pengukuran})}{\text{perhitungan}} \times 100\%$$

Untuk $V_{in} = 1,5$

Maka tegangan keluaran:

$$V_{out} = -V_{in} \frac{R_f}{R_i}$$

$$V_{out} = -1,5 \frac{R_f}{R_i}$$

$$V_{out} = -1,5V$$

Untuk penguatannya (A_{CL}) seperti persamaan di bawah ini:

$$A_{CL} = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_i}$$

$$A_{CL} = \frac{1,5}{1,5}$$

$$A_{CL} = 1 \text{ kali}$$

Kesalahan dalam persen dapat dicari dengan persamaan di bawah ini:

$$\% \text{ kesalahan} = \frac{(\text{perhitungan} - \text{pengukuran})}{\text{perhitungan}} \times 100\%$$

$$\% \text{ kesalahan} = \left| \frac{(-1,5 - (-1,51))}{-1,5} \right| \times 100\%$$

$$\% \text{ kesalahan} = 0,67\%$$

Data hasil perhitungan dan pengukuran dari rangkaian penguat pembalik terdapat pada table 4.1 di bawah ini.

Tabel 4.1. Data Hasil Perhitungan dan Pengukuran Rangkaian Op Amp

NO	Tegangan input (V)	Tegangan Output (V)		Gain (A)	% Kesalahan
		Perhitungan	Pengukuran		
1	1,5	-1,5	-1,52	1	1,33
2	1,7	-1,7	-1,72	1	1,18
3	1,9	-1,9	-1,93	1	1,58
4	2,1	-2,1	-2,11	1	0,48
5	2,3	-2,3	-2,32	1	0,87
Σ %kesalahan					1,09

4.1.3. Pegujian Rangkaian DAC R-2R

4.1.3.1. Tujuan

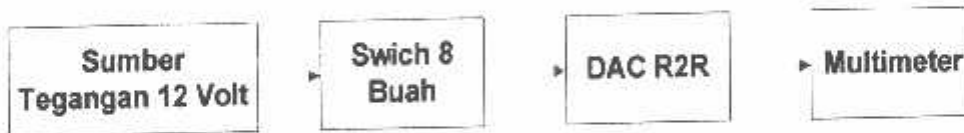
Pengujian rangkaian DAC bertujuan untuk mengetahui besar tegangan analog yang dihasilkan berdasarkan perubahan data digital yang diinputkan.

4.1.3.2. Peralatan yang digunakan

- Rangkaian DAC R-2R
- Sumber tegangan +12 Volt
- Switch 8 Buah
- Multimeter digital (DT9205B)

4.1.3.3. Langkah-langkah Pengujian

- Merangkai rangkaian seperti pada gambar di bawah ini:



Gambar 4.6. Blok Diagram Pengujian DAC R-2R

- Menghubungkan kutub positif multimeter digital (multimeter diset pada skala 20 Volt DC) pada outputan op amp, sedangkan kutub negative ke *ground*.
- Mengamati perubahan nilai tegangan pada multimeter dan mencatat hasilnya pada tabel 4.2.

4.1.3.4. Analisa

Untuk mengetahui keluaran DAC R-2R dapat dicari dengan menggunakan rumus berikut:

$$V_{out} = \frac{R_f}{R} \times V_{ref} \left[\frac{D_0}{256} + \frac{D_1}{128} + \frac{D_2}{64} + \frac{D_3}{32} + \frac{D_4}{16} + \frac{D_5}{8} + \frac{D_6}{4} + \frac{D_7}{2} \right]$$

Dimana:

$$V_{ref} = 12 \text{ Volt}$$

- Jika diketahui inputan= 00010000_B. Maka berapakah keluaran DAC R-2R ?

Penyelesaian:

$$V_{out} = -\frac{R_f}{R} \times V_{ref} \left[\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right]$$

$$V_{out} = -\frac{10}{10} \times 12 \left[\frac{0}{2} + \frac{0}{4} + \frac{0}{8} + \frac{1}{16} + \frac{0}{32} + \frac{0}{64} + \frac{0}{128} + \frac{0}{256} \right]$$

$$= -0,75 \text{ Volt}$$

$$\text{Out}_{DAC} = -0,75 \text{ Volt}$$

- Jika diketahui inputan= 11111111_B. Maka berapakah keluaran DAC R-2R ?

Penyelesaian:

$$V_{out} = -\frac{R_f}{R} \times V_{ref} \left[\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right]$$

$$V_{out} = -\frac{10}{10} \times 12 \left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right]$$

$$= -11,95 \text{ Volt}$$

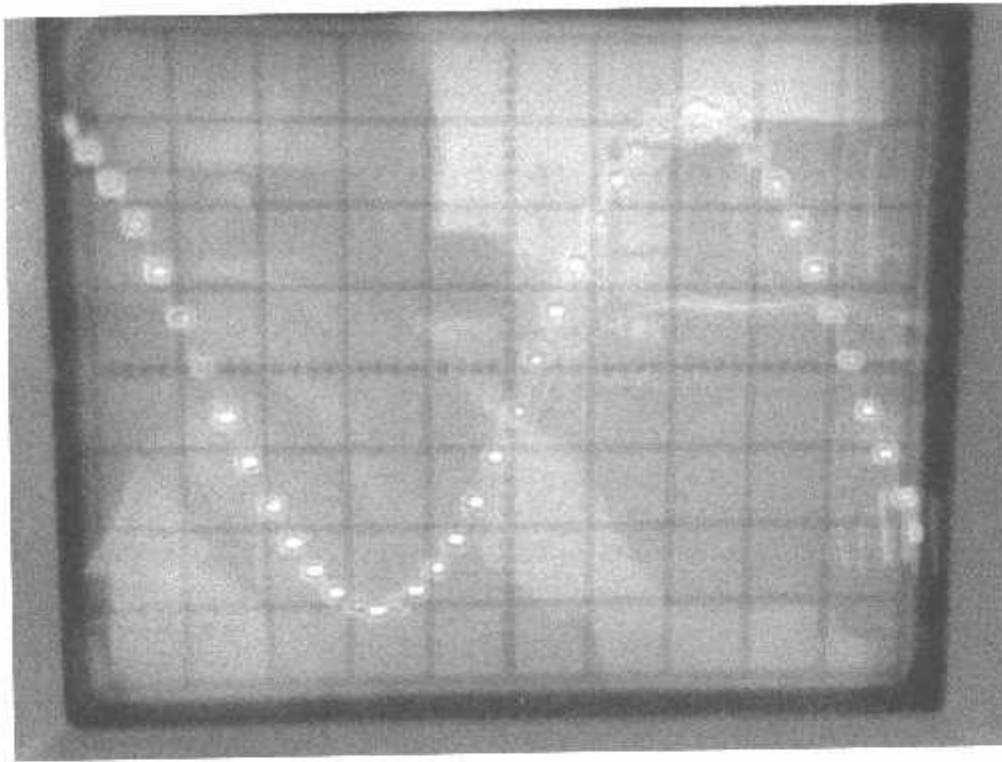
$$\text{Out}_{DAC} = -11,95 \text{ Volt}$$

Berikut merupakan tabel perbandingan tegangan output antara hasil pengukuran dan hasil perhitungan dari keluaran DAC R-2R:

Tabel 4.2. Data Hasil Pengukuran Rangkaian Konversi DAC R-2R

NO	Bit Masukan	Keluaran DAC R2R		% kesalahan
		Tegangan V_O (Volt)		
		Perhitungan	Pengukuran	
1	00010000	-0,75	-0,74	1,3
2	00100000	-1,5	-1,52	1,3
3	00110000	-2,25	-2,27	0,8
4	01000000	-3	-3,03	1
5	01010000	-3,75	-3,69	1,6
6	01100000	-4,5	-4,48	0,4
7	01110000	-5,25	-5,33	1,5
8	10000000	-6	-6,03	0,5
9	11111111	-11,95	-12,07	1
Σ % kesalahan				1,04

Bentuk gelombang sinus yang terbentuk setelah DAC dapat dilihat dari gambar 4.6, V_{p-p} sebesar 1 kotak pada $\frac{Volt}{Div} = 0,4$ V dan $\frac{Time}{Div} = 0,2$ ms. Gambar sinyal yang dihasilkan masih terputus-putus hal ini terjadi karena input yang masuk ke dalam DAC berupa data digital sehingga output dari DAC pun masih berupa data 8 bit.



Gambar 4.7. Sinyal Output Keluaaran dari DAC

4.1.4. Pengujian Rangkaian Modulator PSK

4.1.4.1. Tujuan

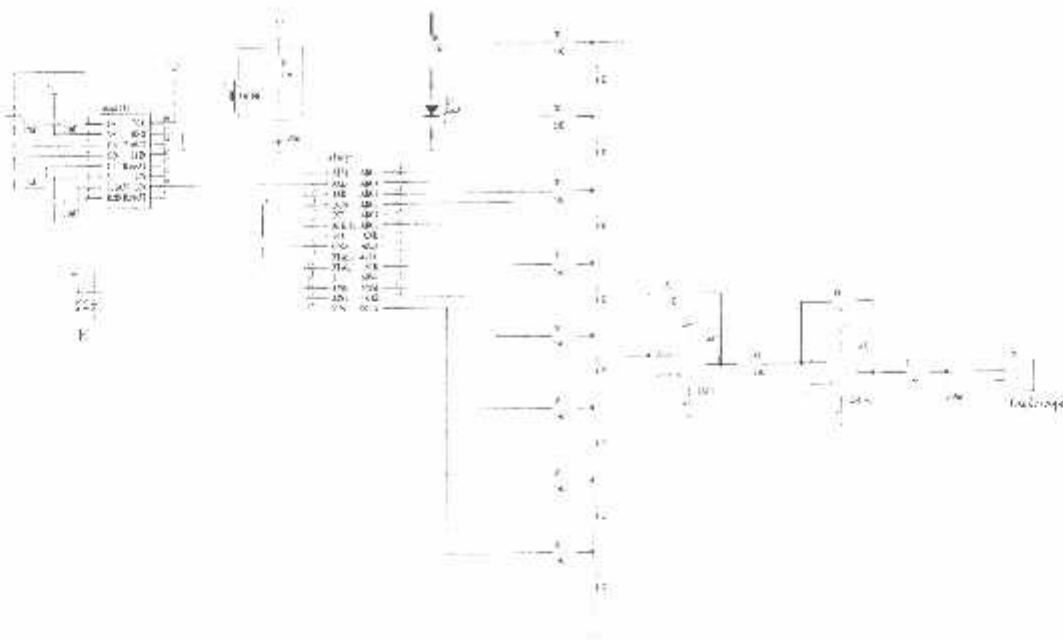
Untuk mengetahui bentuk gelombang sinus yang dihasilkan rangkaian modulator, yaitu saat sebelum penekanan tombol keyboard dan setelah penekanan tombol keyboard.

4.1.4.2. Peralatan yang digunakan

- a. Rangkaian modulator PSK
- b. Kabel serial dan DB9

4.1.4.3. Langkah-langkah pengujian

- a. Merangkai rangkaian seperti pada gambar4.8.



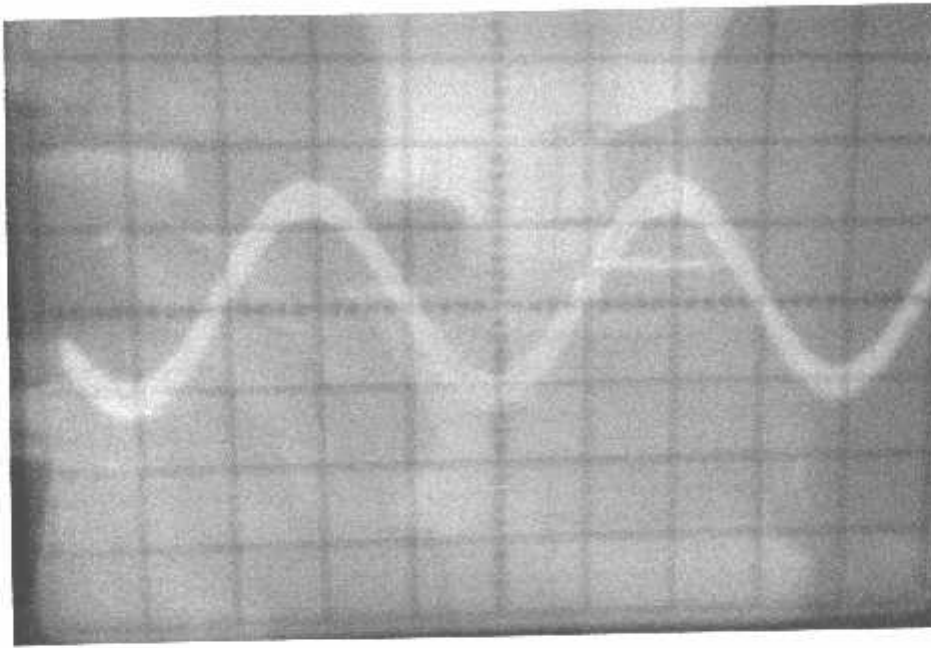
Gambar 4.8. Rangkaian Modulator

- b. Menghubungkan pin Tx dan Rx dari RS 232 dengan Rx dan Tx di masukan serial komputer (COM 1) dengan konektor DB9.
- c. Mengamati bentuk gelombang sinus yang dikeluarkan modulator ketika kondisi tombol keyboard tidak tertekan dan tertekan pada oscilloscope.

4.1.4.4. Analisa

Saat kondisi keyboard tidak tertekan maka outputan modulator dapat dilihat pada oscilloscope dengan bentuk gelombang sinus yang terbentuk dapat dilihat dari

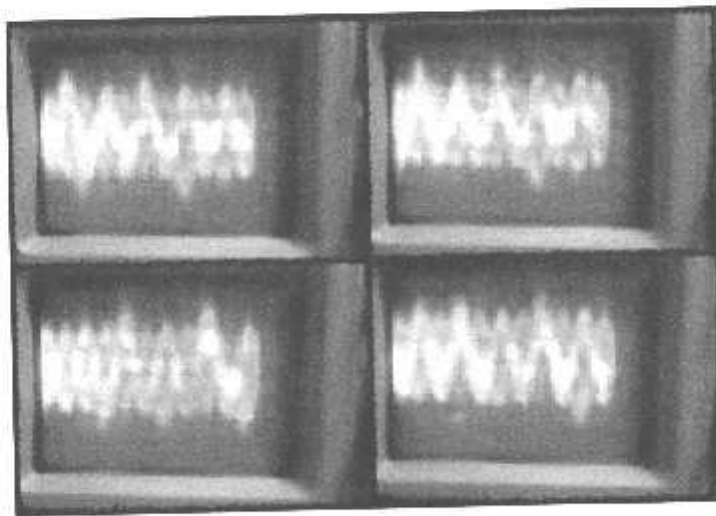
gambar 4.9, V_{p-p} sebesar 2 kotak pada $\frac{Volt}{Div} = 0,2 \text{ V}$ dan $\frac{Time}{Div} = 0,4 \text{ ms}$.



Gambar 4.9. Gelombang Sinus Saat Tombol Tidak Tetakan

Saat kondisi keyboard tertekan maka outputan modulator dapat dilihat pada oscilloscope dengan bentuk gelombang sinus yang terbentuk dapat dilihat dari gambar

4.10, V_{p-p} sebesar 1 kotak pada $\frac{Volt}{Div} = 0,2 \text{ V}$ dan $\frac{Time}{Div} = 0,2 \text{ ms}$



Gambar 4.10. Gelombang Sinus Saat Tombol Tertekan

4.1.5. Pegujian Pengiriman dan Penerimaan Data

4.1.5.1. Tujuan

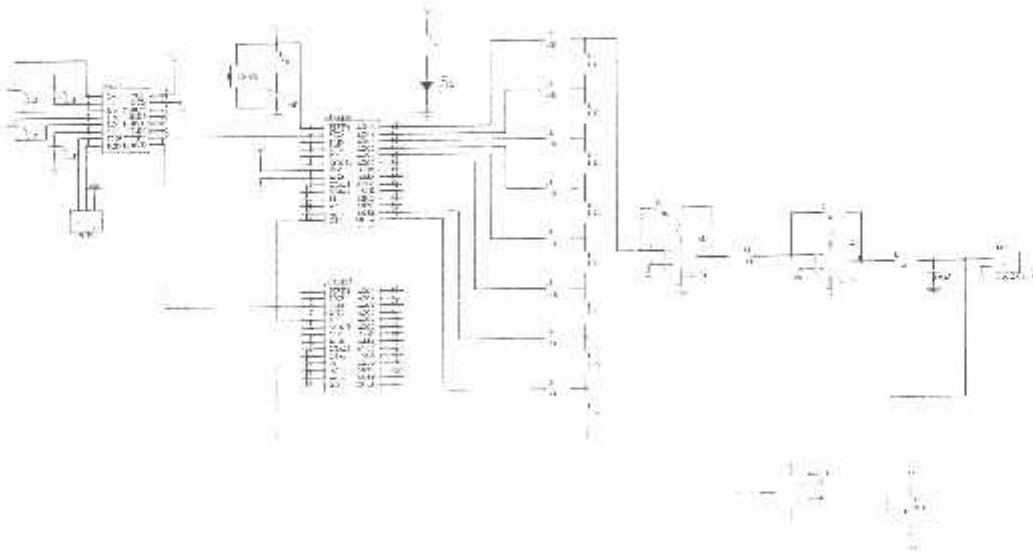
Untuk mengetahui ketepatan pemodulasian data ke bentuk gelombang sinus oleh modulator dengan, pegujian ini dilakukan dengan mengirimkan data berupa kata dari computer dengan bantuan software Delphi 7 dan *hyperterminal*.

4.1.5.1. Peralatan yang Digunakan

- a. Rangkaian modulator dan demodulator PSK
- b. Personal Computer (PC)

4.1.5.2. Langkah-langkah Pengujian

- a. Merangkai rangkaian modulator dan demodulator seperti pada gambar 4.11.



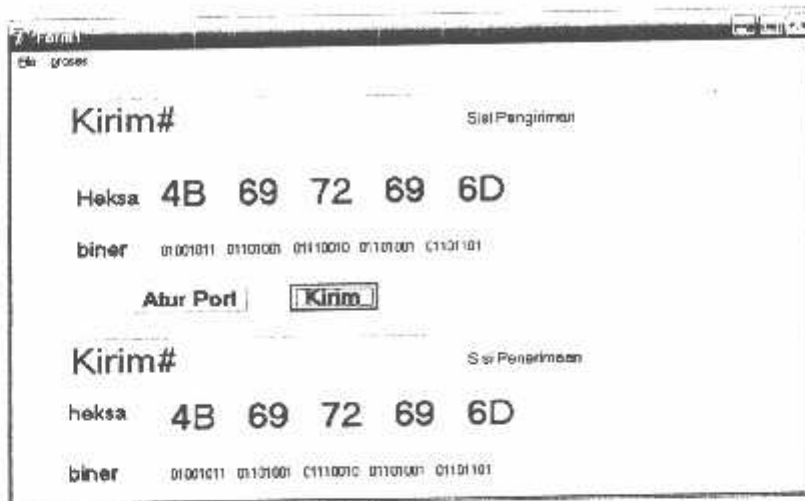
Gambar 4.11. Rangkaian Modulator dan Demodulator

- b. Menghubungkan pin Tx dan Rx dari RS 232 rangkaian modulator dan demodulator dengan Rx dan Tx di masukan serial komputer (COM 1) dengan konektor DB9.
- c. Mengamati perubahan tampilan pada PC yaitu pada tampilan Delphi dan *hyperterminal*

4.1.5.3. Analisa

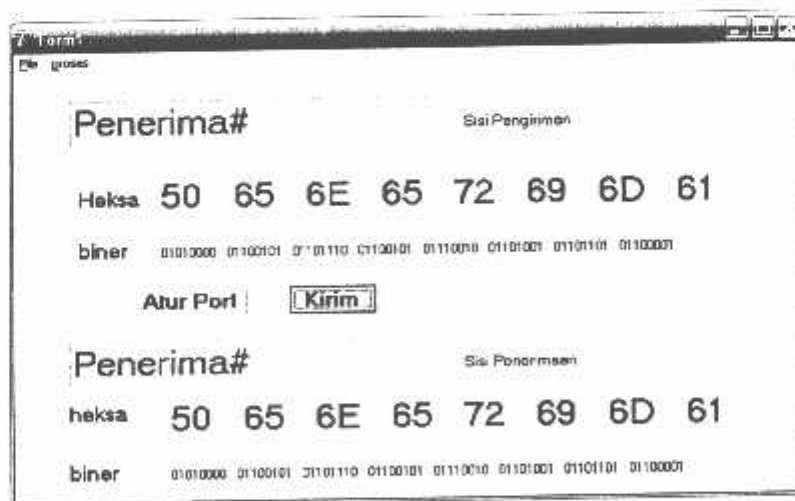
Mengamati pengiriman dan penerimaan data yang dilakukan lewat PC dengan bantuan software delphi 7 dan *hyperterminal*. Pada tampilan delphi dilakukan beberapa kali paket pengiriman data dengan penekanan beberapa karakter berupa kata, dengan setiap kata yang dikirim memiliki panjang karakter yang berbeda-beda. Pada *hyperterminal* dilakukan penekanan tombol secara cepat dan terus menerus dengan pengaturan baudrate yang berbeda-beda, dari 110Hz sampai dengan 115200Hz. Hal ini untuk mengetahui batas maksimum alat dalam menerima data dan memodulasi data tersebut.

• PC mengirimkan data digital berdasarkan penekanan tombol keyboard berupa data "kirim" yang memiliki 6 karakter maka tampilan delphi pada sisi pengiriman berupa kata "kirim" dan diakhiri tanda # sebagai penanda bahwa data berhenti dikirimkan. Setelah *button* kirim ditekan maka pada sisi penerimaan akan tampil juga data berupa kata "Kirim", seperti pada gambar 4.12. Pada pengujian ini baudrate diatur pada 110Hz.



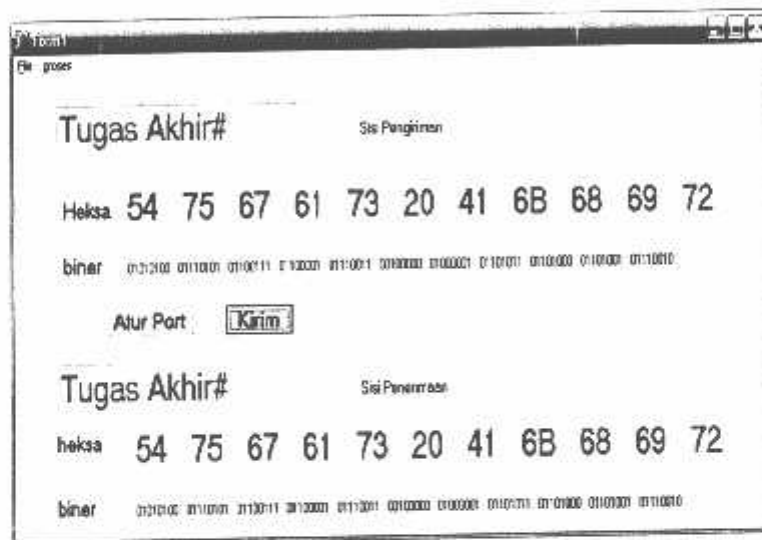
Gambar 4.12. Pengujian Modulator pada Delphi Data 1

PC mengirimkan data digital berdasarkan penekanan tombol keyboard berupa data "Penerima" yang memiliki 8 karakter maka tampilan delphi pada sisi pengiriman berupa kata "Penerima" dan diakhiri tanda # sebagai penanda bahwa data berhenti dikirimkan. Setelah *button* kirim ditekan maka pada sisi penerimaan akan tampil juga data berupa kata "Penerima", seperti pada gambar 4.13. Pada pengujian ini baudrate diatur pada 600Hz.



Gambar 4.13. Pengujian Modulator pada Delphi Data 2

PC mengirimkan data digital berdasarkan penekanan tombol keyboard berupa data "Tugas Akhir" yang memiliki 8 karakter maka tampilan delphi pada sisi pengiriman berupa kata "Tugas Akhir" dan diakhiri tanda # sebagai penanda bahwa data berhenti dikirimkan. Setelah *button* kirim ditekan maka pada sisi penerimaan akan tampil juga data berupa kata "Tugas Akhir", seperti pada gambar 4.14. Pada pengujian ini baudrate diatur pada 1200Hz.



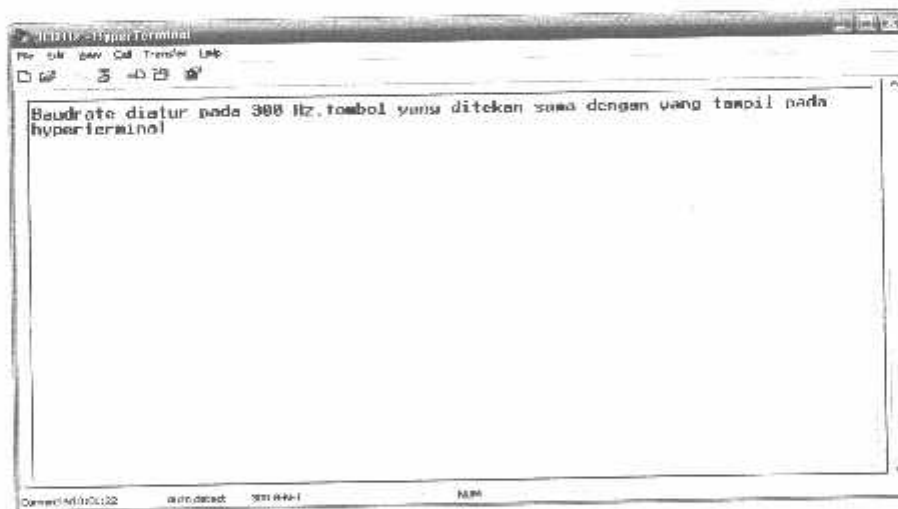
Gambar 4.14. Pengujian Modulator pada Delphi Data 3

PC mengirimkan data digital berdasarkan penekanan tombol keyboard dengan pengaturan *baudrate* sebesar 110 Hz. Data sesuai antara penekanan tombol pada keyboard dan yang tampil pada *hyperterminal*, seperti terlihat pada gambar 4.15.



Gambar 4.15. Pengujian Modulator pada *Hyperterminal* Data 1

PC mengirimkan data digital berdasarkan penekanan tombol keyboard dengan pengaturan *baudrate* sebesar 300 Hz. Data sesuai antara penekanan tombol pada keyboard dan yang tampil pada *hyperterminal*, seperti terlihat pada gambar 4.16.



Gambar 4.16. Pengujian Modulator pada *Hyperterminal* Data 2

PC mengirimkan data digital berdasarkan penekanan tombol keyboard dengan pengaturan *baudrate* sebesar 1200 Hz – 9600 Hz. Data tidak sesuai antara penekanan



BAB V

PENUTUP

5.1. Kesimpulan

Berdasarkan dari hasil pengujian, maka dapat ditarik kesimpulan sebagai berikut:

1. Sistem DDS dapat digunakan dalam modulator PSK.
2. Filter LPF dapat memperbaiki bentuk gelombang sinus yang dihasilkan.
3. Pada baudrate di bawah 1200Hz modulator dapat memodulasikan data digital dengan tepat.
4. Pada baudrate di atas 1200Hz, modulator tidak dapat memodulasi data digital yang diinputkan dengan tepat.

5.2. Saran

Modulator PSK dengan metode DDS ini dapat dikembangkan lagi agar lebih sempurna dalam penggunaannya diantaranya dapat dilakukan dengan:

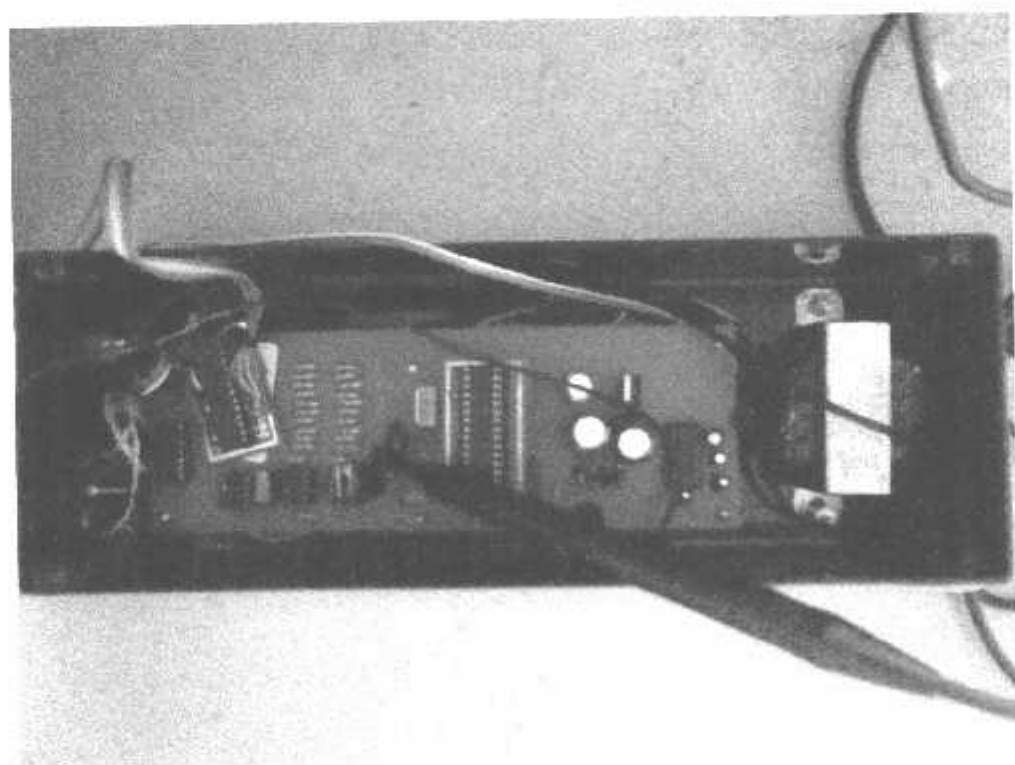
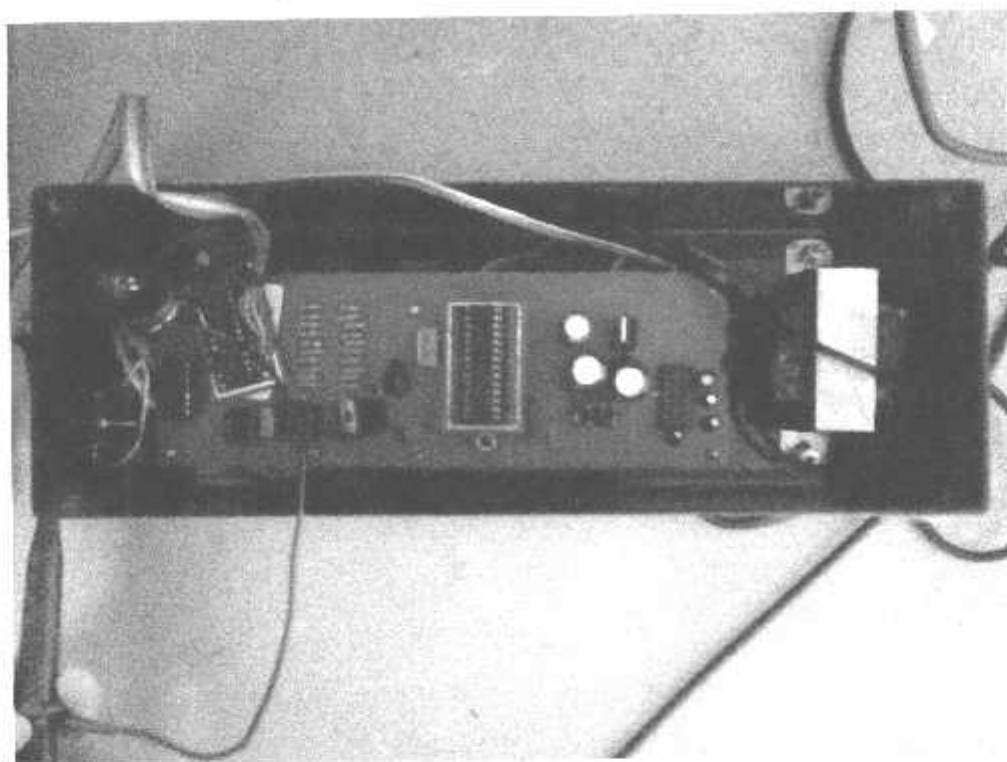
1. Pemakaian sudut yang lebih banyak akan menambah ketepatan sinus yang terbentuk.
2. Diharapkan pengembangan untuk aplikasi-aplikasi dibidang telekomunikasi khususnya *frequency hopping*.

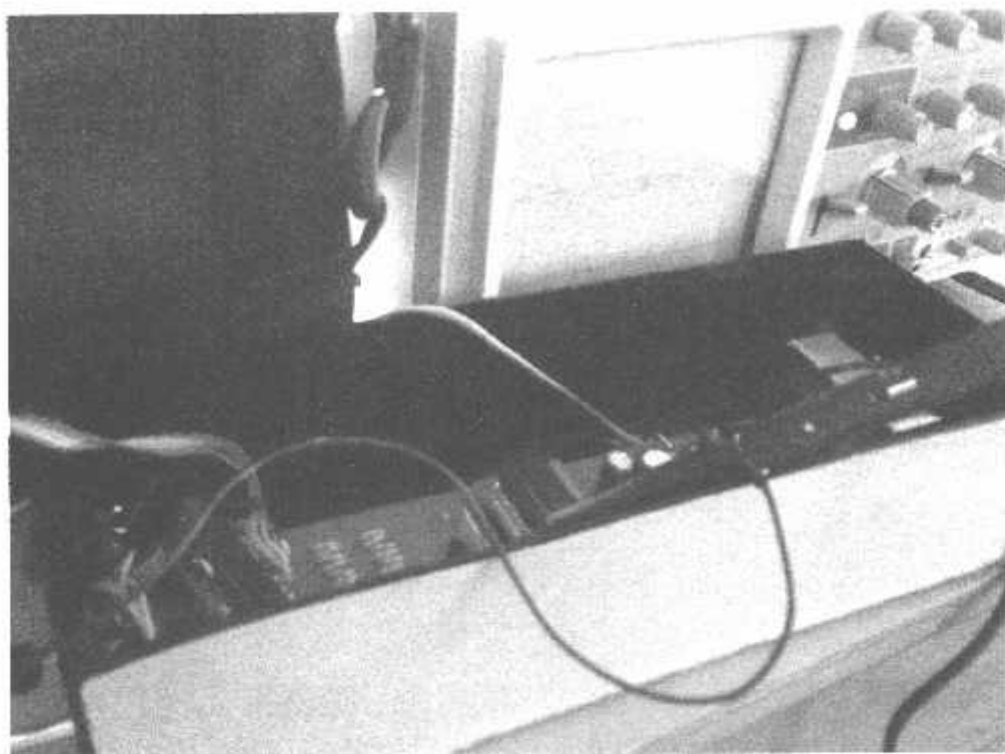


DAFTAR PUSTAKA

- [1]. Atmel, AVR ATmega8 Data Sheet, Oktober 2004.
- [2]. Clyton, George and Steve Winder, "*Operational Amplifiers*", Erlangga, Jakarta, 2004.
- [3]. Coughlin, Robert F. and Frederick F. Driscoll, "*Penguat Operasional dan Rangkain Terpadu Linear*", Erlangga, Jakarta, 1982.
- [4]. Dallas Semiconductor MAXIM MAX232 Data Sheet.
- [5]. Goldberg, Bar-Giora, "*Digital Frequency Synthesis Demystified*", LLH Technology Publishing, Virginia, 1999.
- [6]. Millman, Jacob, "*Mikroelektronika Sistem Digital dan Rangkaian Analog*", Erlangga, Jakarta, 1979.
- [7]. National Semiconductor, LM358 Data Sheet, December 1994.
- [8]. National Semiconductor, LM741 Data Sheet, December 2000.
- [9]. Wardhana, Lingga, "*Belajar Sendiri Mikrokontroller AVR Seri 8535*", Andi, Yogyakarta, 2006.
- [10]. Wasito S, 1990, *Vandemekum Elektronika, Edisi Kedua*, PT. Gramedia Pustaka Utama, Jakarta.
- [11]. Young, Paul H., "*Electronic Communication Techniques*", Macmillan, New York, 1994.
- [12]. www.analog.com

LAMPIRAN






```

/* File include */
#include <mega8.h>
#include <delay.h>

/* Pendefinisian */
#define DAC_low          PORTC          //PORTC.5-PORTC.0
#define DAC_high         PORTB          //PORTB.2-PORTB.1
#define masukan          PIND.0

/* Inisialisasi variabel global */
int index_data_keluaran;
bit updown,referensi;
unsigned char high,low;
flash unsigned char
data_keluaran_low[33]={63,25,48,7,26,41,53,60,63,60,53,41,26,7,48,25,63,38,
15,56,37,22,10,3,0,3,10,22,37,56,15,38,63};
flash unsigned char
data_keluaran_high[33]={2,4,4,6,6,6,6,6,6,6,6,6,6,4,4,2,2,2,0,0,0,0,0,0,0,
0,0,0,0,2,2,2};

void init_port()
{
    DDRC=0b00111111;
    DDRB=0b00000110;
    DDRD=0b11111110;
}

void init_timer2()
{
    /* Timer ini akan digunakan sebagai oscillator */
    /* Mode yang digunakan adalah Clear Timer On Compare dengan
interrupt */
    /* Mula-mula OCR0 diset untuk frekuensi 1200 Hz, 17 langkah,
frekuensi clock 8 MHz */
    TCCR2=0x08;
    TIMSK=TIMSK|0x80;
    TCNT2=0;
    OCR2=203;
}

/* Fungsi saat terjadi timer 2 compare match interrupt */
/* Turn registers saving off */
#pragma savereg-
/* interrupt handler */
interrupt [4] void timer2_match(void)
{
    /* Pemanasan */
    #asm
    push r30
    push r31
    in r30,SREG
    push r30
    #endasm

    /* Inti */
    if (updown==1)index_data_keluaran++;
    else index_data_keluaran--;

    high=data_keluaran_high[index_data_keluaran];
    low=data_keluaran_low[index_data_keluaran];

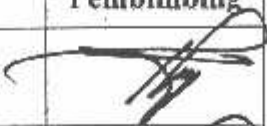
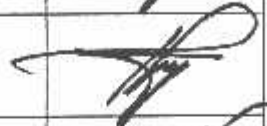
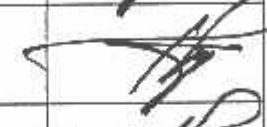





    DAC_low=low;
    DAC_high=high;
}

```



FORMULIR BIMBINGAN SKRIPSI

Nama : Steven Andri Tuwo
Nim : 03.17.011
Masa Bimbingan : 12-Juni-2007 s/d 12-Desember-2007
Judul Skripsi : Perencanaan dan Pembuatan Modulator PSK Dengan Menggunakan Metode DDS (*Direct Digital Synthesizer*)

No	Tanggal	Uraian	Paraf Pembimbing
1		Bab I	
2		Bab II	
3		Bab III	
4		Bab IV	
5		Bab V	
6		Demo alat	
7		Simulasi hasil	
8		Aec akhir	
9			
10			

Malang,

Dosen pembimbing I



Ir. Yudi Limpraptono, MT
NIP.Y 1039500274

Form S-4a



FORMULIR BIMBINGAN SKRIPSI

Nama : Steven Andri Tuwo
Nim : 03.17.011
Masa Bimbingan : 12-Juni-2007 s/d 12-Desember-2007
Judul Skripsi : Perencanaan dan Pembuatan Modulator PSK Dengan Menggunakan Metode DDS (*Direct Digital Synthesizer*)

No	Tanggal	Uraian	Paraf Pembimbing
1	2-8-2007	Bab I dan Bab II - Ganti Pendahuluan - Tambahkan sumber dengan index pada diskrteksi	
2	3-8-2007	Bab I dan Bab II Acc Bab II - Ganti diagram blok - perelas rangkaian R-2R	
3	6-8-2007	Bab II tambahkan cara sampling	
4	8-8-2007	Bab II Acc Bab IV - Tambahkan persen kesalahan - Tambahkan Foto sinus ketika keyboard tekan	
5	9-8-2007	Bab II - tambahkan gambar sinus setelah dor R-2R	
6	13-8-2007	Bab IV Acc Bab V - Ganti kesimpulan sesuai pengujian alat	
7	14-8-2007	Bab V ACC dan Makalah Seminar - tambahkan flowchart	
8		Revisi 110 MPAL	
9			
10			

Malang, 30-8-2007

Dosen pembimbing II

Joseph Dedy Irawan ST, MT
NIP. 132315178

Form S-4a

LM741 Operational Amplifier

General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

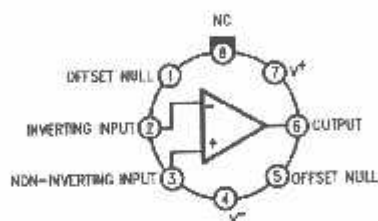
output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C is identical to the LM741/LM741A except that the LM741C has their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Features

Connection Diagrams

Metal Can Package



00034102

Note 1: LM741H is available per JMSB510/10101

Order Number LM741H, LM741H/883 (Note 1),
LM741AH/883 or LM741CH
See NS Package Number H06C

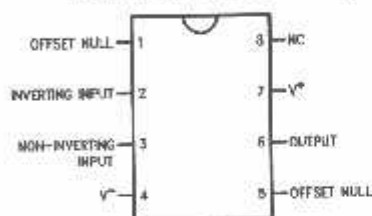
Ceramic Flatpak



00034105

Order Number LM741W/883
See NS Package Number W10A

Dual-In-Line or S.O. Package

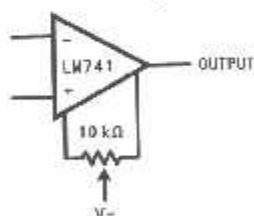


00034103

Order Number LM741J, LM741J/883, LM741CN
See NS Package Number J08A, M08A or N08E

Typical Application

Offset Nulling Circuit



00034107

Electrical Characteristics (Note 5) (Continued)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	50			50	200		20	200		V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\text{ k}\Omega$, $V_S = \pm 20\text{V}$, $V_O = \pm 15\text{V}$	32			25			15			V/mV V/mV V/mV
	$V_S = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	10									
	$V_S = \pm 5\text{V}$, $V_O = \pm 2\text{V}$										
Output Voltage Swing	$V_S = \pm 20\text{V}$ $R_L \geq 10\text{ k}\Omega$	± 16									V V
	$R_L \geq 2\text{ k}\Omega$	± 15									
	$V_S = \pm 15\text{V}$ $R_L \geq 10\text{ k}\Omega$				± 12 ± 10	± 14 ± 13		± 12 ± 10	± 14 ± 13		V V
	$R_L \geq 2\text{ k}\Omega$										
Output Short Circuit Current	$T_A = 25^\circ\text{C}$	10	25	35		25			25		mA mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 10\text{ k}\Omega$, $V_{CM} = \pm 12\text{V}$				70	90		70	90		dB dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12\text{V}$	80	95								
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20\text{V}$ to $V_S = \pm 5\text{V}$										
	$R_B \leq 50\Omega$	85	96								dB dB
	$R_S \leq 10\text{ k}\Omega$				77	96		77	96		
Transient Response	$T_A = 25^\circ\text{C}$, Unity Gain		0.25	0.8		0.3			0.3		μs %
			6.0	20		5			5		
Bandwidth (Note 6)	$T_A = 25^\circ\text{C}$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ\text{C}$, Unity Gain	0.3	0.7			0.5			0.5		V/ μs
Supply Current	$T_A = 25^\circ\text{C}$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25^\circ\text{C}$										
	$V_S = \pm 20\text{V}$		80	150							mW
	$V_S = \pm 15\text{V}$					50	85		50	85	mW
	$V_S = \pm 20\text{V}$										
LM741A	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741	$V_S = \pm 15\text{V}$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 2: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Electrical Characteristics (Note 5) (Continued)

Note 3: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_J max. (listed under "Absolute Maximum Ratings"). $T_J = T_A + (\theta_{JA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{JA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{JC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 4: For supply voltages less than +15V, the absolute maximum input voltage is equal to the supply voltage.

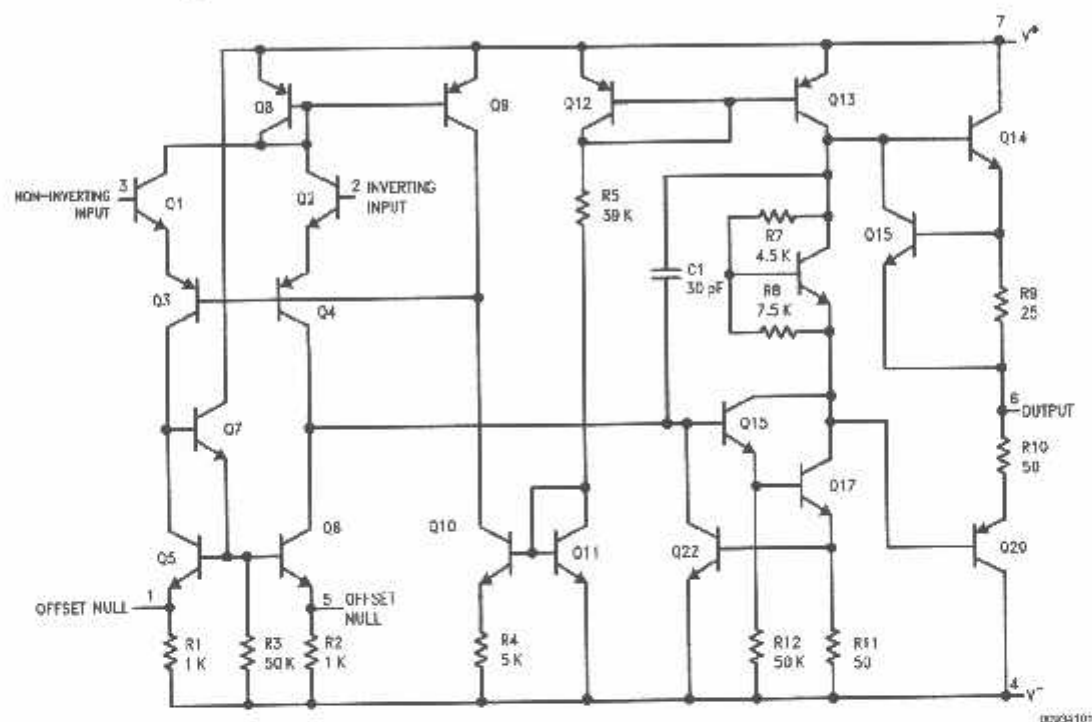
Note 5: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55^\circ C \leq T_A \leq +125^\circ C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0^\circ C \leq T_A \leq +70^\circ C$.

Note 6: Calculated value from: BW (MHz) = $0.35/\text{Rise Time}(\mu s)$.

Note 7: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 8: Human body model, 1.5 k Ω in series with 100 pF.

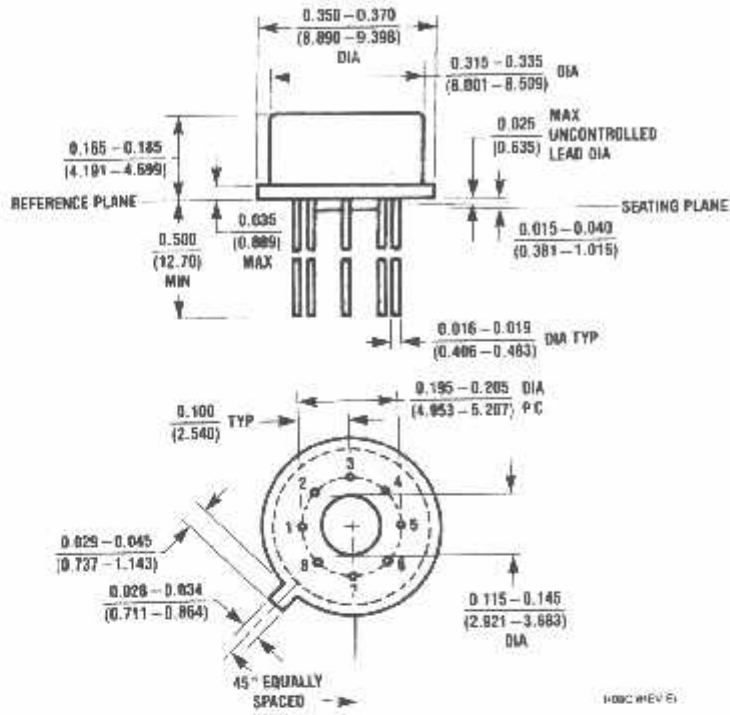
Schematic Diagram



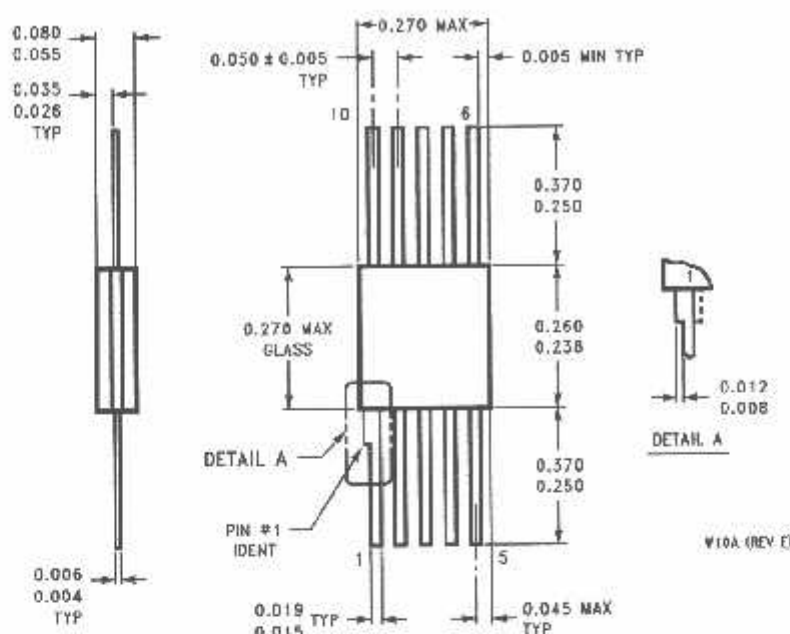
002934101

Physical Dimensions inches (millimeters)

unless otherwise noted

**Metal Can Package (H)**

Order Number LM741H, LM741H/883, LM741AH/883, LM741AH-MIL or LM741CH
NS Package Number H08C

Physical Dimensions Inches (millimeters) unless otherwise noted (Continued)**10-Lead Ceramic Flatpak (W)**

Order Number LM741W/883, LM741WG-MPR or LM741WG/883
NS Package Number W10A

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

For the most current product information visit us at www.national.com.

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

BANNED SUBSTANCE COMPLIANCE

National Semiconductor certifies that the products and packing materials meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.

 National Semiconductor Americas Customer Support Center Email: nw.feedback@nsc.com Tel: 1-800-272-9959	National Semiconductor Europe Customer Support Center Fax: +49 (0) 180-530 65 86 Email: europe.support@nsc.com Deutsch Tel: +49 (0) 69 9508 6206 English Tel: +44 (0) 870 24 0 2171 Français Tel: +33 (0) 1 41 91 8790	National Semiconductor Asia Pacific Customer Support Center Email: ap.support@nsc.com	National Semiconductor Japan Customer Support Center Fax: 81-3-5639-7507 Email: jpn.feedback@nsc.com Tel: 81-3-5639-7580
--	---	--	---

www.national.com

LM158/LM258/LM358/LM2904 Low Power Dual Operational Amplifiers

General Description

The LM158 series consists of two independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM158 series can be directly operated off of the standard 1.5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional $\pm 15V$ power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

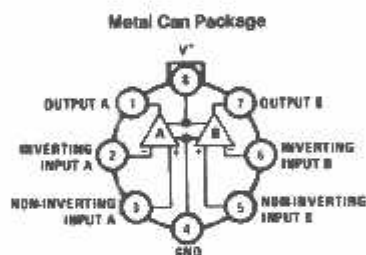
Advantages

- Two internally compensated op amps in a single package
- Eliminates need for dual supplies
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation
- Pin-out same as LM1558/LM1458 dual operational amplifier

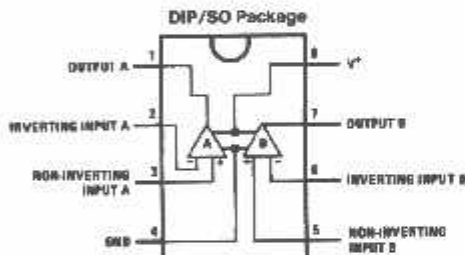
Features

- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
 - Single supply 3V to 32V
 - or dual supplies $\pm 1.5V$ to $\pm 16V$
- Very low supply current drain (500 μA)—essentially independent of supply voltage
- Low input offset voltage 2 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0V to V^+ 1.5V

Connection Diagrams (Top Views)



Order Number LM158AH, LM158AH/883*, LM158H, LM158H/883*, LM258H or LM358H
See NS Package Number H08C



Order Number LM158J, LM158J/883*, LM158AJ or LM158AJ/883*
See NS Package Number J08A
Order Number LM358M, LM358AM or LM2904M
See NS Package Number M08A
Order Number LM358AN, LM358N or LM2904N
See NS Package Number N08E

*LM158 is available per SMD #5962-8771001
LM158A is available per SMD #5962-8771002

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter	Conditions	LM158A			LM358A			LM158/LM258			LM358			LM258A			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	$V^+ = -15V$, $T_A = 25^\circ C$, $R_L \geq 2\text{ k}\Omega$, (For $V_O = 1V$ to $11V$)	50	100		25	100		50	100		25	100		25	100		V/mV
Common-Mode Rejection Ratio	$T_A = 25^\circ C$, $V_{CM} = 0V$ to $V^+ - 1.5V$	70	85		65	85		70	85		65	85		50	70		dB
Power Supply Rejection Ratio	$V^+ = 5V$ to $30V$ (LM2804, $V^+ = -6V$ to $25V$), $T_A = 25^\circ C$	65	100		65	100		65	100		65	100		50	100		dB
Amplifier-to-Amplifier Coupling	$f = 1\text{ kHz}$ to 20 kHz , $T_A = 25^\circ C$ (Input Referred), (Note 8)			-120			120			-120			-120			-120	dB
Output Current	Source $V_{IN}^+ = 1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $V_O = 2V$, $T_A = 25^\circ C$	20	40		20	40		20	40		20	40		20	40		mA
	Sink $V_{IN}^+ = 1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $T_A = 25^\circ C$, $V_O = 2V$	10	20		10	20		10	20		10	20		10	20		mA
Short Circuit to Ground	$V_{IN}^+ = 1V$, $V_{IN}^- = 0V$, $T_A = 25^\circ C$, $V_O = 200\text{ mV}$, $V^+ = 15V$	12	50		12	50		12	50		12	50		12	50		μA
	$T_A = 25^\circ C$, (Note 2), $V^+ = 15V$	40	60		40	60		40	60		40	60		40	60		mA
Input Offset Voltage	(Note 5)		4			5			7			9			10		mV
Input Offset Voltage Drift	$R_{IS} = 0\Omega$	7	15		7	20		7			7			7			$\mu V/^\circ C$
Input Offset Current	$I_{IN}(+) = I_{IN}(-)$		30			75			100			150		45	200		nA
Input Offset Current Drift	$R_{IS} = 0\Omega$	10	200		10	300		10			10			10			$pA/^\circ C$
Input Bias Current	$I_{IN}(+) \text{ or } I_{IN}(-)$	40	100		40	200		40	300		40	500		40	500		nA

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter	Conditions	LM158A		LM358A		LM158/LM258		LM358		LM2904		Units	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min		Typ
Input Common-Mode Voltage Range	$V^+ = 30\text{ V}$, (Note 7) (LM2904, $V^+ = 26\text{ V}$)	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$
	Large Signal Voltage Gain												V
Output Voltage Swing	V_{OH}												V/mV
		$V^+ = +15\text{ V}$ ($V_O = 1\text{ V}$ to 11 V) $R_L \geq 2\text{ k}\Omega$	25		15		25	15		15		15	
	V_{OL}												
Output Current	Source												V
		$V^+ = +30\text{ V}$ (LM2904, $V^+ = 26\text{ V}$) $R_L = 2\text{ k}\Omega$	26		26		26	26		22		22	
	Sink												V
Output Current	V_{OH}												V
		$V^+ = +30\text{ V}$ (LM2904, $V^+ = 26\text{ V}$) $R_L = 10\text{ k}\Omega$	27	26	27	26	27	26	27	26	27	26	27
	V_{OL}												
Output Current	Source												V
		$V^+ = +1\text{ V}$, $V_{IN}^- = 0\text{ V}$, $V^- = 15\text{ V}$, $V_O = 2\text{ V}$	10	20	10	20	10	20	10	20	10	20	10
	Sink												
Output Current	V_{OH}												V
		$V^+ = +1\text{ V}$, $V_{IN}^- = 0\text{ V}$, $V^- = 15\text{ V}$, $V_O = 2\text{ V}$	10	15	10	15	10	15	10	15	10	15	10
	Sink												
Output Current	V_{OH}												V
		$V^+ = +1\text{ V}$, $V_{IN}^- = 0\text{ V}$, $V^- = 15\text{ V}$, $V_O = 2\text{ V}$	10	15	10	15	10	15	10	15	10	15	10
	Sink												

Note 1: For operating at high temperatures, the LM358/LM358A, LM2504 must be derated based on a $+125^\circ C$ maximum ambient temperature and a thermal resistance of $120^\circ C/W$ when applied for the device soldered in a printed circuit board, operating in a still air ambient. The LM258/LM258A and LM158/LM158A can be derated based on a $+150^\circ C$ maximum junction temperature. The dissipation is the total of both conditions—use external resistors, where possible, to allow the amplifier to enhance air to reduce the power which is dissipated in the integrated circuit.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. When considering short circuits to ground, the maximum output current is approximately 40 mA independent of the magnitude of V^+ . All values of supply voltage in excess of $+15V$, continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

Note 3: This input current will only enter when the voltage at any of the input leads is within negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic (transistor) action on the IC chip. The transistor action can cause the output voltage of the op amp to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal circuit elements will re-establish when the input voltage, which was negative, again returns to a value greater than $-0.3V$ (at $25^\circ C$).

Note 4: These specifications are limited to $-55^\circ C \leq T_A \leq +125^\circ C$ for the LM158/LM158A, with the LM258/LM258A, all temperature specifications are limited to $-25^\circ C \leq T_A \leq +35^\circ C$, the LM258/LM258A, all temperature specifications are limited to $-40^\circ C \leq T_A \leq +85^\circ C$.

Note 5: $V_O \approx 1.4V, R_S = 0\Omega$ with V^+ from $5V$ to $30V$; and over the full input common-mode range ($0V$ to $V^- - 1.5V$) at $25^\circ C$. For LM2504, V^+ from $5V$ to $26V$.

Note 6: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading charge exists on the input lines.

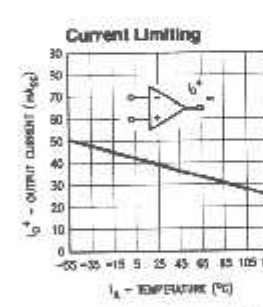
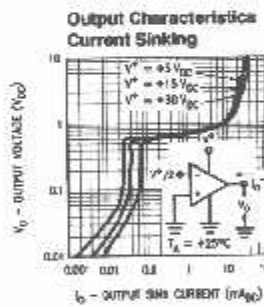
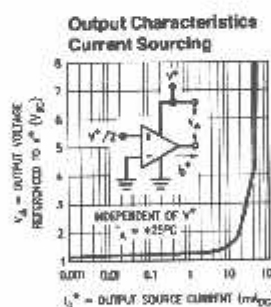
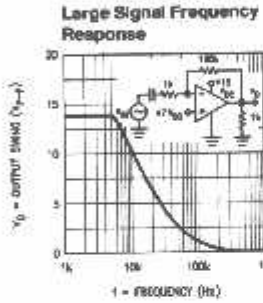
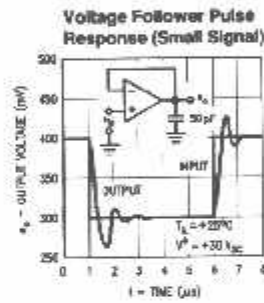
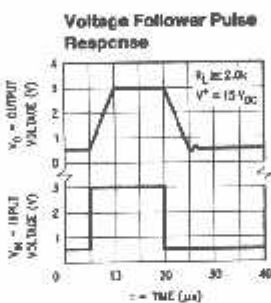
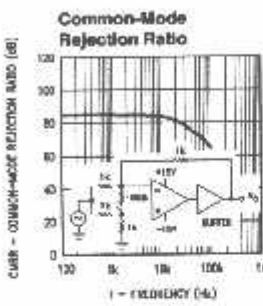
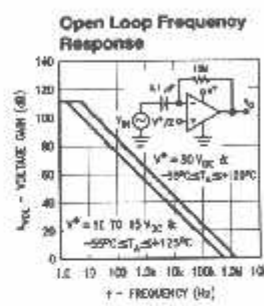
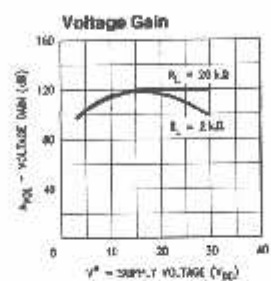
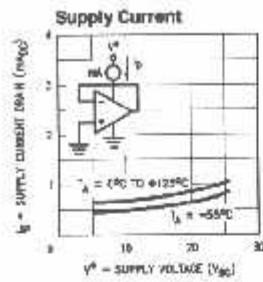
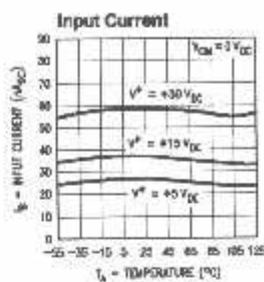
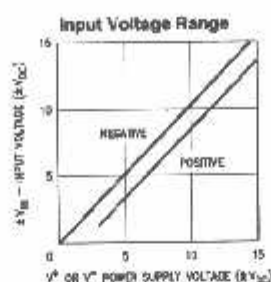
Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than $0.3V$ (at $25^\circ C$). The upper end of the common-mode voltage range is $V^- - 1.5V$ (at $25^\circ C$), but either or both inputs can go to $-30V$ without damage (1.28V for LM2504), independent of the magnitude of V^+ .

Note 8: Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as the type of capacitance increases at higher frequencies.

Note 9: Refer to RETS158AX for LM158A military specifications and to RETS153X for LM158 military specifications.

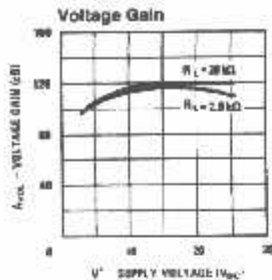
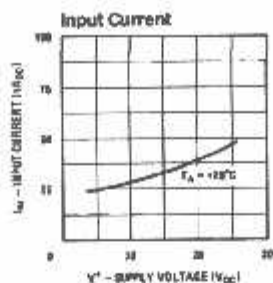
Note 10: Human body model, 1.5 k Ω in series with 100 pF.

Typical Performance Characteristics



TLH/7787-4

Typical Performance Characteristics (Continued) (LM2902 only)



TLH/7787-5

Application Hints

The LM158 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{CC} . These amplifiers operate over a wide range of power supply voltages with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{CC} .

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V^- without damaging the device. Protection should be provided to prevent the input voltages from going negative more than $-0.3 V_{CC}$ (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 μF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

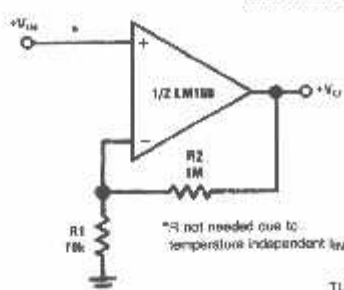
The bias network of the LM158 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of 3 V_{CC} to 30 V_{CC} .

Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

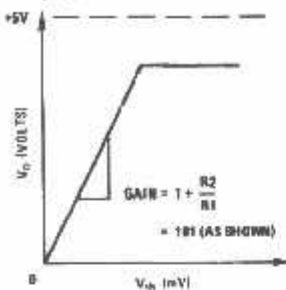
The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of $V^+/2$) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

Typical Single-Supply Applications ($V^+ = 5.0\text{ V}_{\text{DC}}$)

Non-Inverting DC Gain (0V Input = 0V Output)

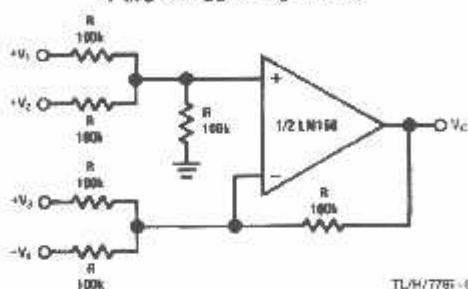


TL/H/7787-6



TL/H/7787-7

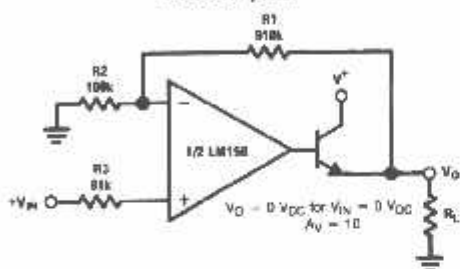
DC Summing Amplifier
($V_{\text{IN}5} \geq 0\text{ V}_{\text{DC}}$ and $V_O \geq 0\text{ V}_{\text{DC}}$)



TL/H/7787-8

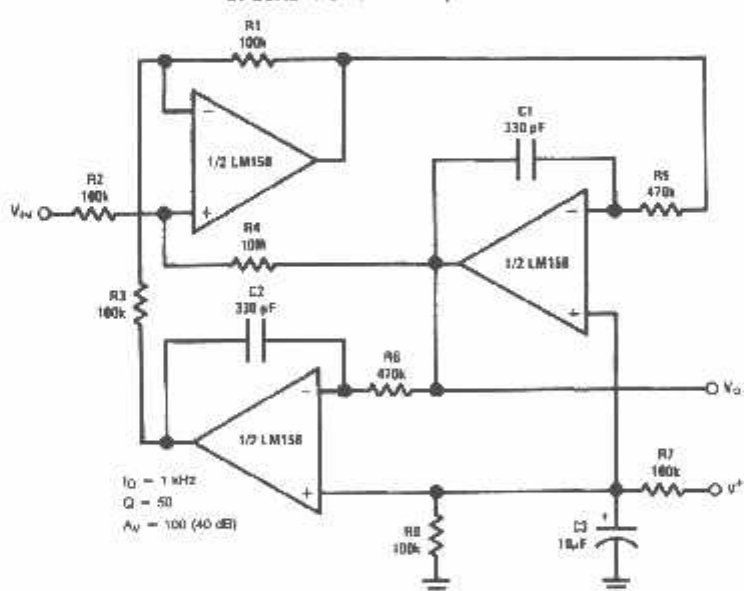
Where: $V_O = V_1 + V_2 + V_3 + V_4$
($V_1 + V_2 \geq (V_3 + V_4)$ to keep $V_O \geq 0\text{ V}_{\text{DC}}$)

Power Amplifier



TL/H/7787-9

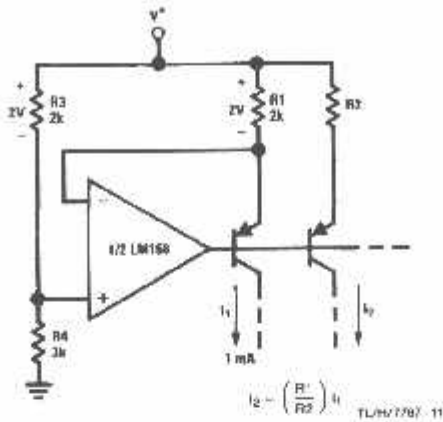
"BI-QUAD" RC Active Bandpass Filter



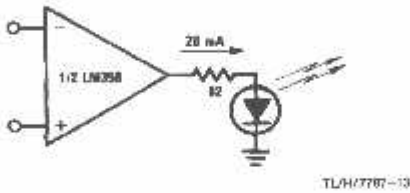
TL/H/7787-10

Typical Single-Supply Applications ($V^+ = +5.0 V_{DC}$) (Continued)

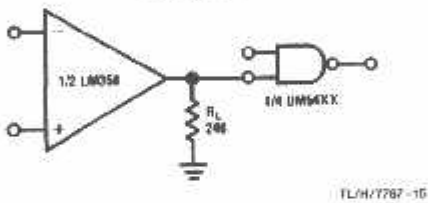
Fixed Current Sources



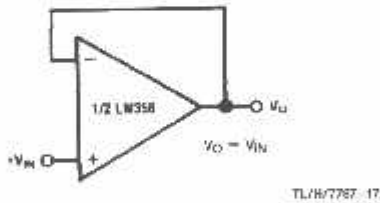
LED Driver



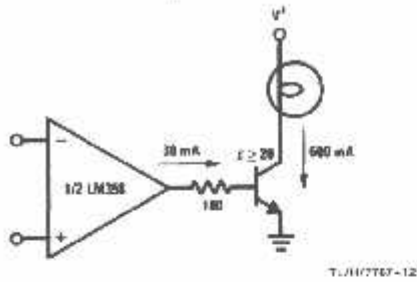
Driving TTL



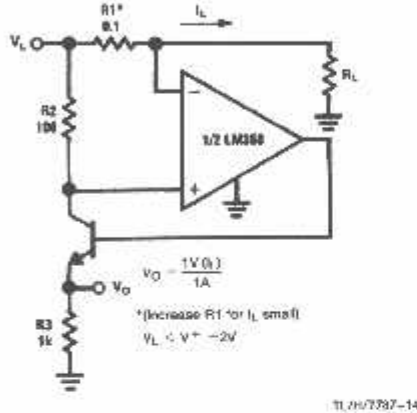
Voltage Follower



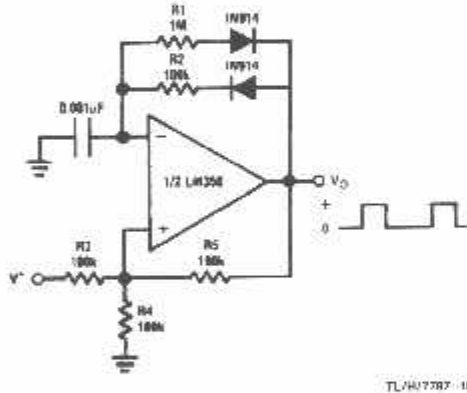
Lamp Driver



Current Monitor

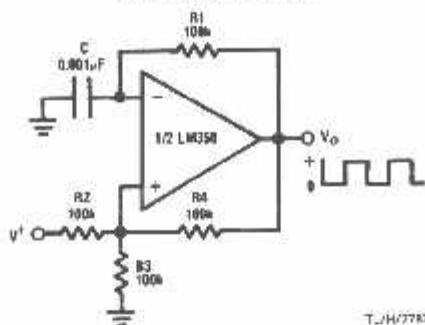


Pulse Generator



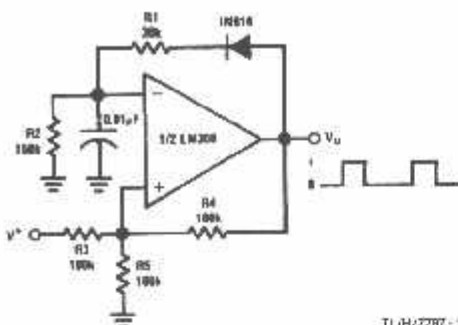
Typical Single-Supply Applications ($V^- = 5.0 \text{ V}_{\text{DC}}$) (Continued)

Squarewave Oscillator



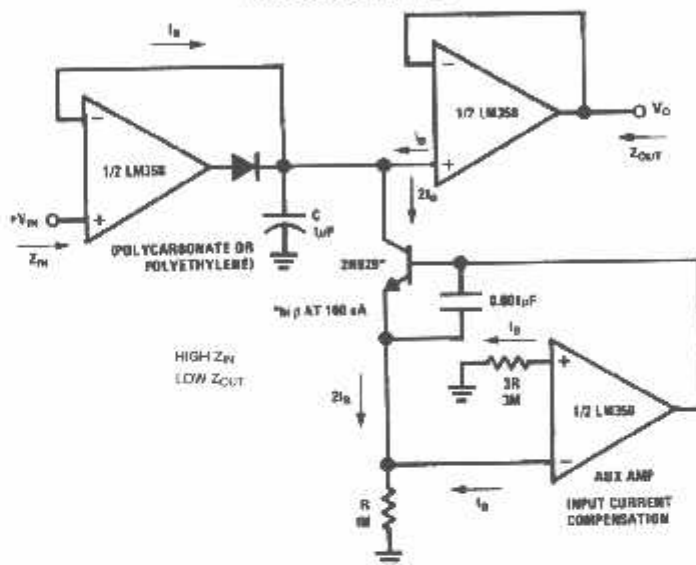
TL/H/7787-14

Pulse Generator



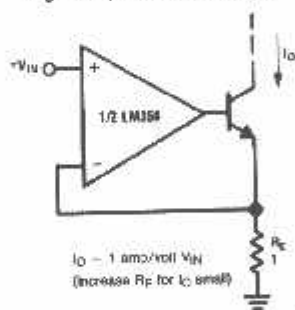
TL/H/7787-19

Low Drift Peak Detector



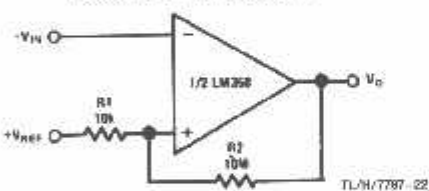
TL/H/7787-20

High Compliance Current Sink



TL/H/7787-21

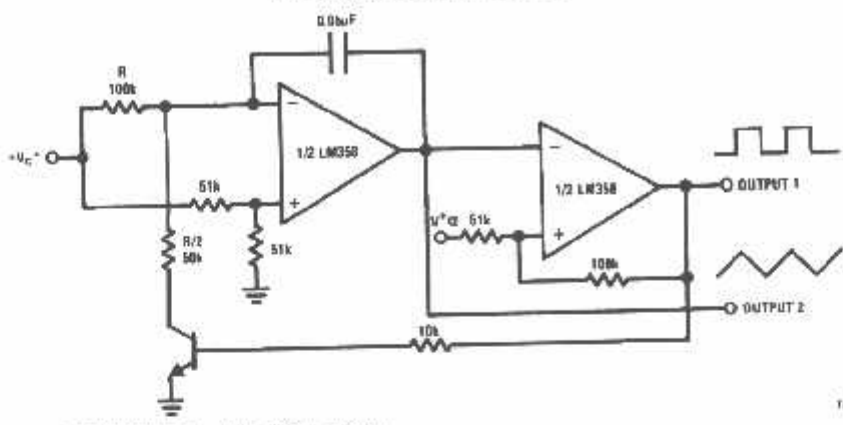
Comparator with Hysteresis



TL/H/7787-22

Typical Single-Supply Applications ($V^- = 5.0 V_{DD}$) (Continued)

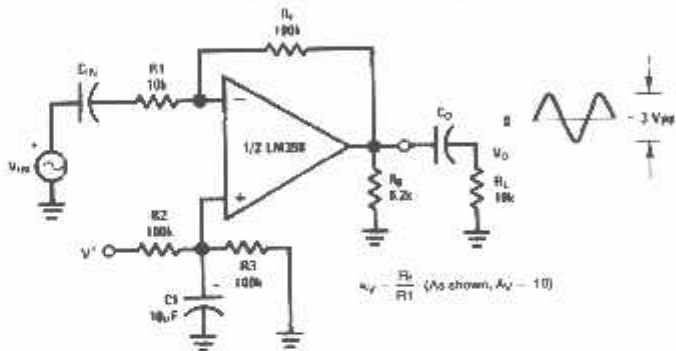
Voltage Controlled Oscillator (VCO)



TL/H/7787-23

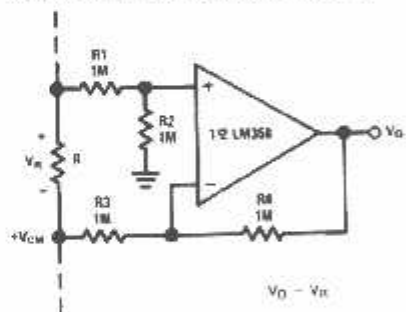
*WIDE CONTROL VOLTAGE RANGE: $0 V_{DD} < V_C \leq 2 (V^+ - 1.5V_{DD})$

AC Coupled Inverting Amplifier



TL/H/7787-24

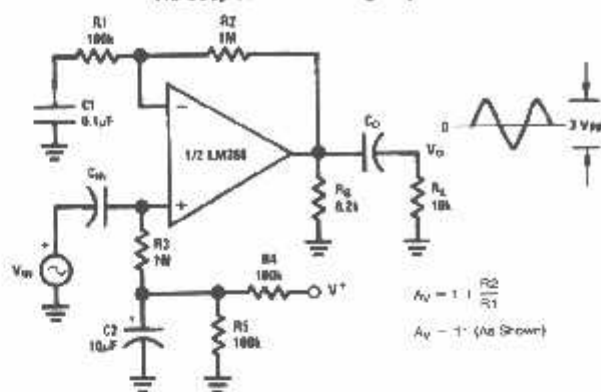
Ground Referencing a Differential Input Signal



TL/H/7787-25

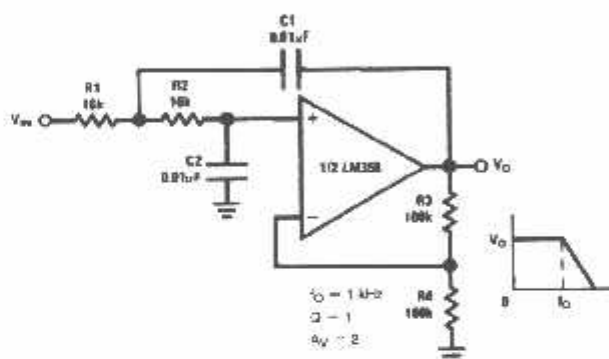
Typical Single-Supply Applications ($V^+ = 5.0\text{ V}_{\text{DC}}$) (Continued)

AC Coupled Non-Inverting Amplifier



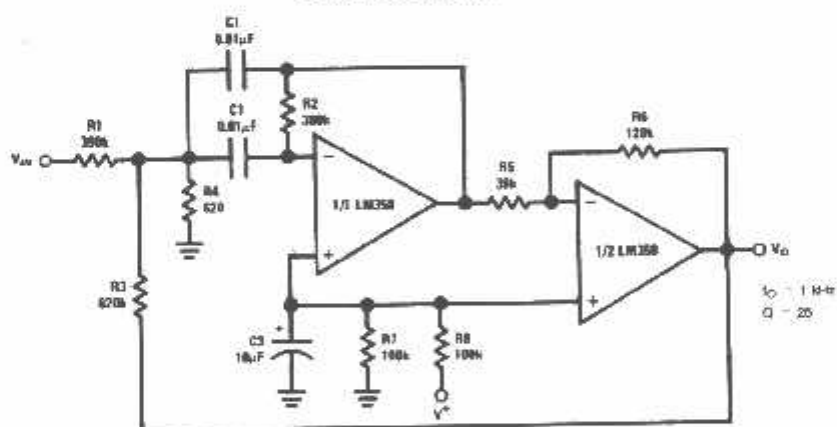
TL/H/7757-25

DC Coupled Low-Pass RC Active Filter



TL/H/7757-27

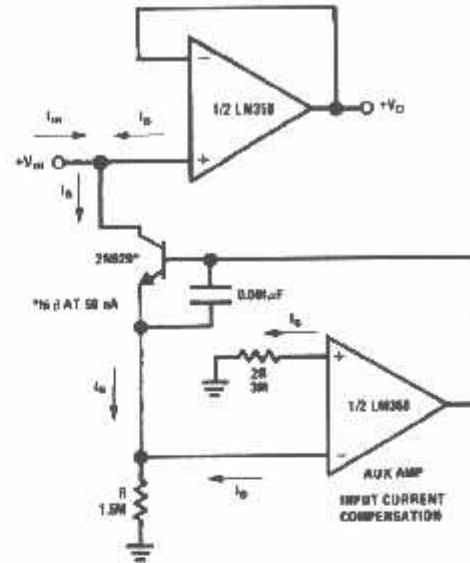
Bandpass Active Filter



TL/H/7757-28

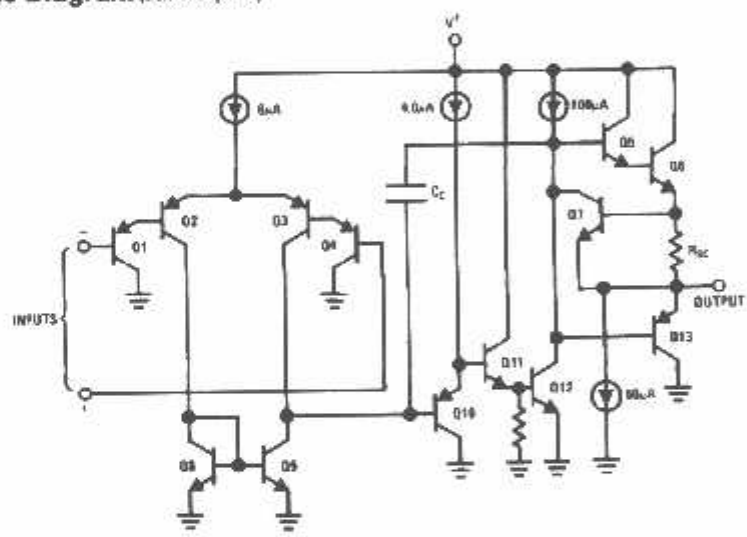
Typical Single-Supply Applications ($V^- = -5.0\text{ V}_{\text{DC}}$) (Continued)

Using Symmetrical Amplifiers to
Reduce Input Current (General Concept)



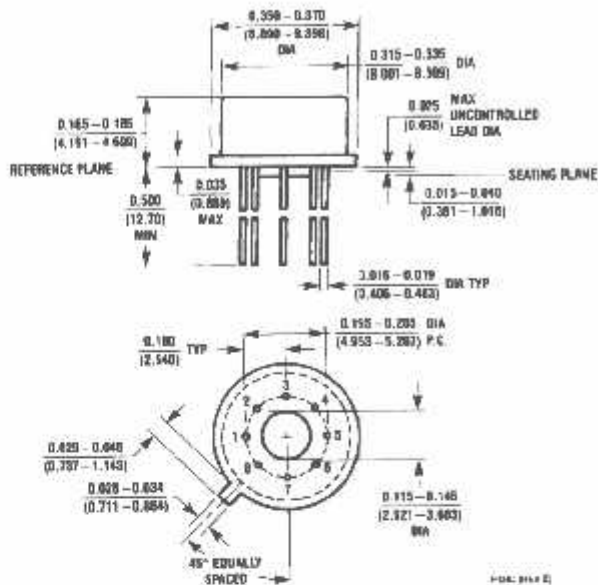
TL/H/7787-32

Schematic Diagram (Each Amplifier)



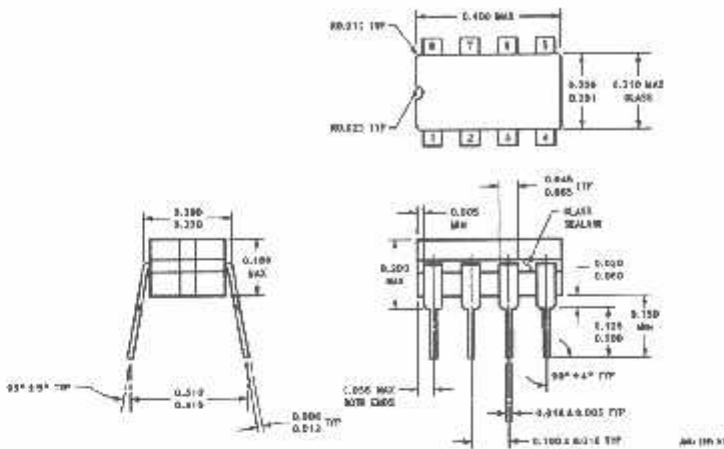
TL/H/7787-33

Physical Dimensions inches (millimeters)

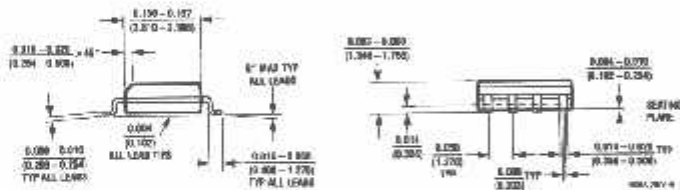
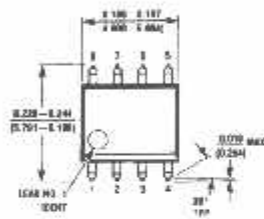


Metal Can Package (H)
Order Number LM158AH, LM158AH/883, LM158H,
LM156H/883, LM258H or LM358H
NS Package Number H08C

Physical Dimensions inches (millimeters) (Continued)

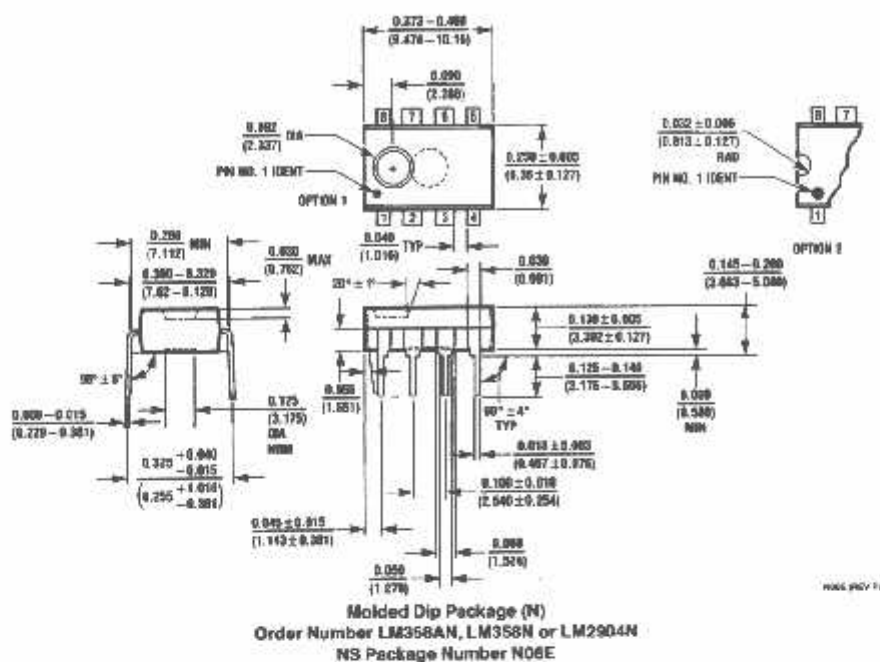


Cardip Package (J)
Order Number LM158J, LM158J/883, LM158AJ or LM158AJ/883
NS Package Number J08A



S.O. Package (M)
Order Number LM358M, LM358AM or LM2904M
NS Package Number M08A

Physical Dimensions inches (millimeters) (Continued)



LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: (800) 272-9969
Fax: (800) 737-7018

National Semiconductor Europe

Tel: (+49) 0-189-520 65 65
Email: enquiry@therm2.nsc.com
Deutsch Tel: (+49) 0-189-520 65 65
English Tel: (+49) 0-189-520 78 32
Français Tel: (+49) 0-189-520 60 53
Italian Tel: (+49) 0-189-520 16 83

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.,
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1800
Fax: (852) 2738-0060

National Semiconductor Japan Ltd.
Tel: 81-045-236-2308
Fax: 81-045-236-2408

National does not assume any responsibility for use of any circuitry described, to circuit patent licenses are issued and National reserves the right of any time without notice to change circuitry and specifications.

Features

High performance, Low-power AVR[®] 8-bit Microcontroller
Harvard RISC Architecture
30 Powerful Instructions – Most Single-clock Cycle Execution
2 x 8 General Purpose Working Registers
Fully Static Operation
Up to 16 MIPS Throughput at 16 MHz
On-chip 2-cycle Multiplier
Separate Program and Data Memories
64K Bytes of In-System Self-Programmable Flash
Endurance: 10,000 Write/Erase Cycles
Optional Boot Code Section with Independent Lock Bits
In-System Programming by On-chip Boot Program
True Read-While-Write Operation
128 Bytes EEPROM
Endurance: 100,000 Write/Erase Cycles
1K Byte Internal SRAM
Programming Lock for Software Security
General Features
Two 8-bit Timer/Counters with Separate Prescaler, one Compare Mode
One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
Real Time Counter with Separate Oscillator
Three PWM Channels
12-channel ADC in TQFP and MLF package
Eight Channels 10-bit Accuracy
8-channel ADC in PDIP package
Eight Channels 10-bit Accuracy
Byte-oriented Two-wire Serial Interface
Programmable Serial USART
Master/Slave SPI Serial Interface
Programmable Watchdog Timer with Separate On-chip Oscillator
On-chip Analog Comparator
General Microcontroller Features
Power-on Reset and Programmable Brown-out Detection
Internal Calibrated RC Oscillator
External and Internal Interrupt Sources
Five Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, and Standby
14 Packages
33 Programmable I/O Lines
6-lead PDIP, 32-lead TQFP, and 32-pad MLF
Operating Voltages
1.7 - 5.5V (ATmega8L)
1.5 - 5.5V (ATmega8)
Two Grades
1 - 8 MHz (ATmega8L)
1 - 16 MHz (ATmega8)
Low Consumption at 4 MHz, 3V, 25°C
Active: 3.6 mA
Idle Mode: 1.0 mA
Power-down Mode: 0.5 µA



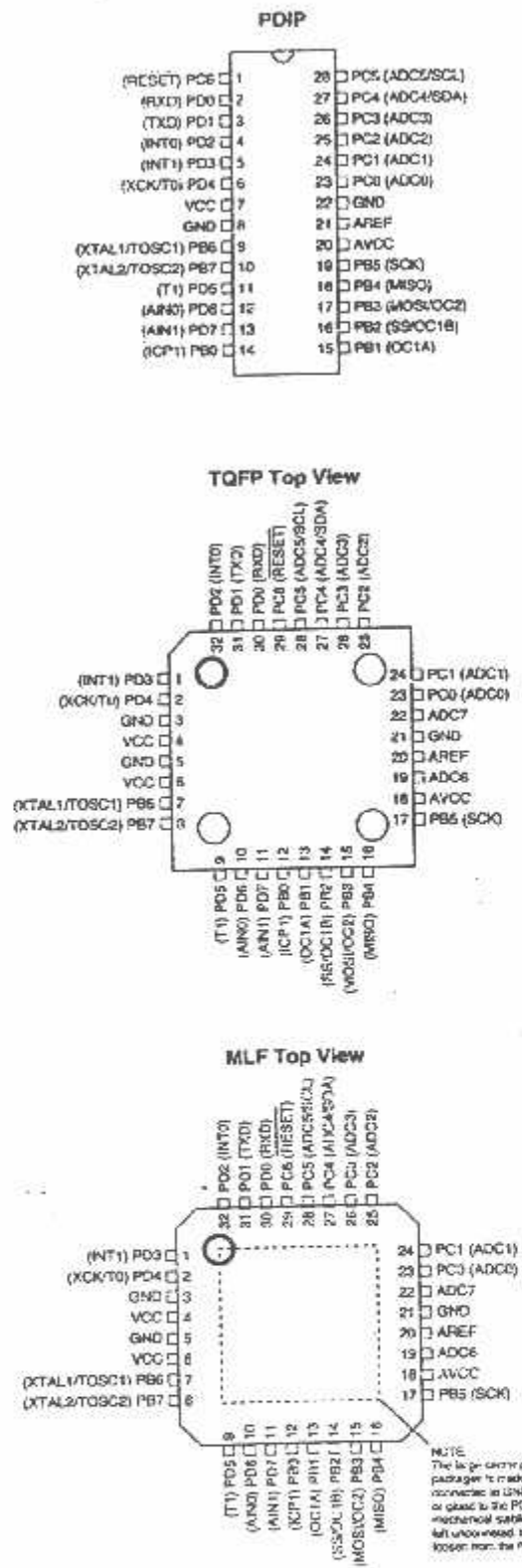
8-bit **AVR[®]**
with 8K Bytes
In-System
Programmable
Flash

ATmega8
ATmega8L

2486O-AVR-10/04



Configurations

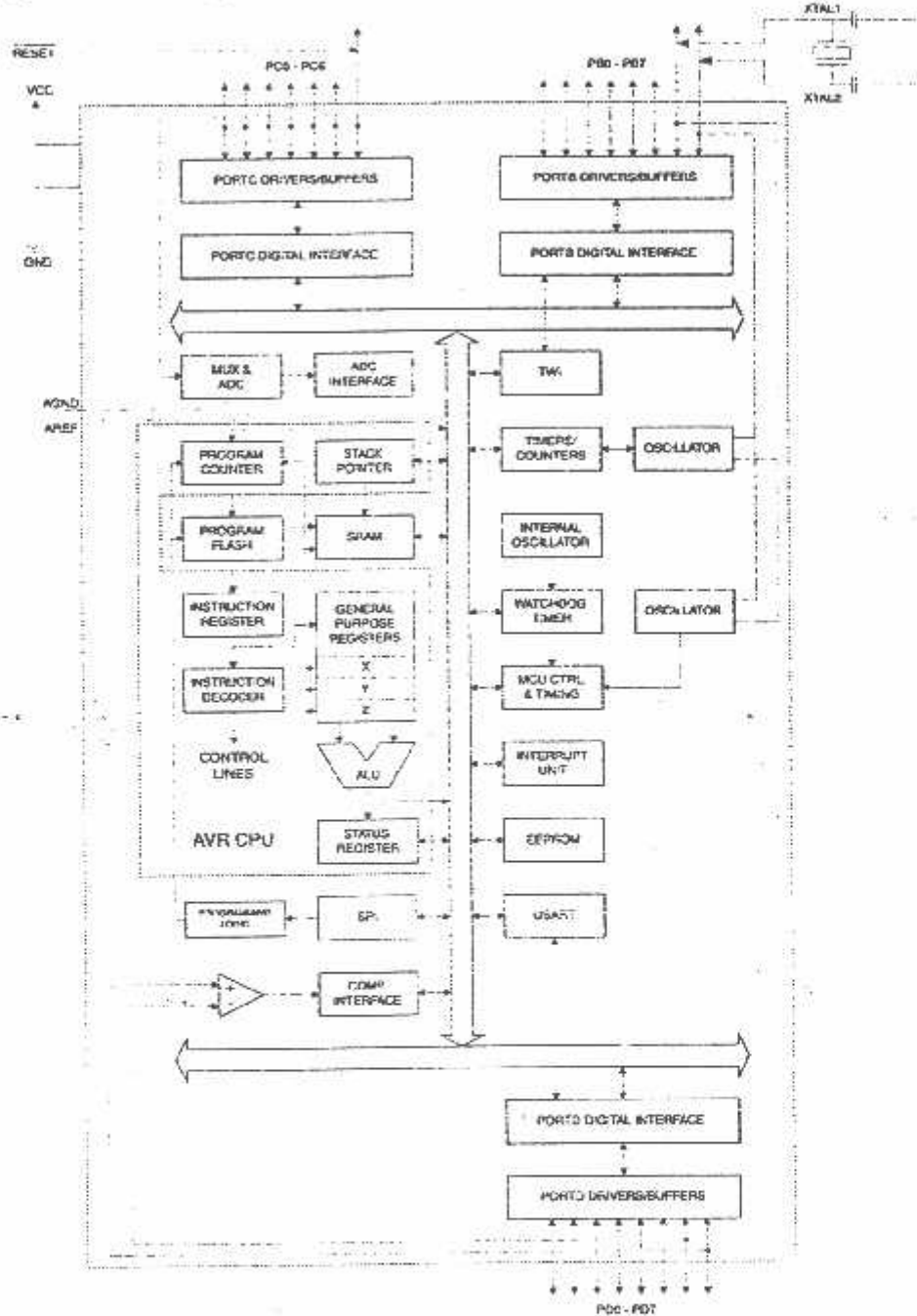


Overview

The ATmega8 is a low-power CMOS 8-bit microcontroller based on the AVR RISC architecture. By executing powerful instructions in a single clock cycle, the ATmega8 achieves throughputs approaching 1 MIPS per MHz, allowing the system designer to optimize power consumption versus processing speed.

Block Diagram

Figure 1. Block Diagram





The AVR core combines a rich instruction set with 32 general purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega8 provides the following features: 8K bytes of In-System Programmable Flash with Read-While-Write capabilities, 512 bytes of EEPROM, 1K byte of SRAM, 23 general purpose I/O lines, 32 general purpose working registers, three flexible Timer/Counters with compare modes, internal and external interrupts, a serial programmable USART, a byte oriented Two-wire Serial Interface, a 6-channel ADC (eight channels in TQFP and MLF packages) with 10-bit accuracy, a programmable Watchdog Timer with Internal Oscillator, an SPI serial port, and five software selectable power saving modes. The Idle mode stops the CPU while allowing the SRAM, Timer/Counters, SPI port, and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next Interrupt or Hardware Reset. In Power-save mode, the asynchronous timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except asynchronous timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/resonator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low-power consumption.

The device is manufactured using Atmel's high density non-volatile memory technology. The Flash Program memory can be reprogrammed In-System through an SPI serial interface, by a conventional non-volatile memory programmer, or by an On-chip boot program running on the AVR core. The boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash Section will continue to run while the Application Flash Section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega8 is a powerful microcontroller that provides a highly-flexible and cost-effective solution to many embedded control applications.

The ATmega8 AVR is supported with a full suite of program and system development tools, including C compilers, macro assemblers, program debugger/simulators. In-Circuit Emulators, and evaluation kits.

Disclaimer

Typical values contained in this datasheet are based on simulations and characterization of other AVR microcontrollers manufactured on the same process technology. Min and Max values will be available after the device is characterized.

ATmega8(L)

2465C-01 Rev 1.04

Descriptions

Digital supply voltage.

Ground.

B (PB7..PB0) 1/XTAL2/TOSC1/TOSC2

Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Depending on the clock selection fuse settings, PB6 can be used as input to the inverting Oscillator amplifier and input to the internal clock operating circuit.

Depending on the clock selection fuse settings, PB7 can be used as output from the inverting Oscillator amplifier.

If the Internal Calibrated RC Oscillator is used as chip clock source, PB7..6 is used as TOSC2..1 input for the Asynchronous Timer/Counter2 if the AS2 bit in ASSR is set.

The various special features of Port B are elaborated in "Alternate Functions of Port B" on page 56 and "System Clock and Clock Options" on page 23.

C (PC5..PC0)

Port C is an 7-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port C output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.

$\overline{\text{RESET}}$

If the RSTDISBL Fuse is programmed, PC6 is used as an I/O pin. Note that the electrical characteristics of PC6 differ from those of the other pins of Port C.

If the RSTDISBL Fuse is unprogrammed, PC6 is used as a Reset input. A low level on this pin for longer than the minimum pulse length will generate a Reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 36. Shorter pulses are not guaranteed to generate a Reset.

The various special features of Port C are elaborated on page 59.

D (PD7..PD0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port D also serves the functions of various special features of the ATmega8 as listed on page 61.

$\overline{\text{RESET}}$

Reset input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 36. Shorter pulses are not guaranteed to generate a reset.





AV_{CC} is the supply voltage pin for the A/D Converter, Port C (3..0), and ADC (7..6). It should be externally connected to V_{CC} , even if the ADC is not used. If the ADC is used, it should be connected to V_{CC} through a low-pass filter. Note that Port C (5..4) use digital supply voltage, V_{CC} .

AREF is the analog reference pin for the A/D Converter.

ADC7..6 (TQFP and MLF package Only)

In the TQFP and MLF package, ADC7..6 serve as analog inputs to the A/D converter. These pins are powered from the analog supply and serve as 10-bit ADC channels.

out Code amples

This datasheet contains simple code examples that briefly show how to use various parts of the device. These code examples assume that the part specific header file is included before compilation. Be aware that not all C compiler vendors include bit definitions in the header files and interrupt handling in C is compiler dependent. Please confirm with the C compiler documentation for more details.

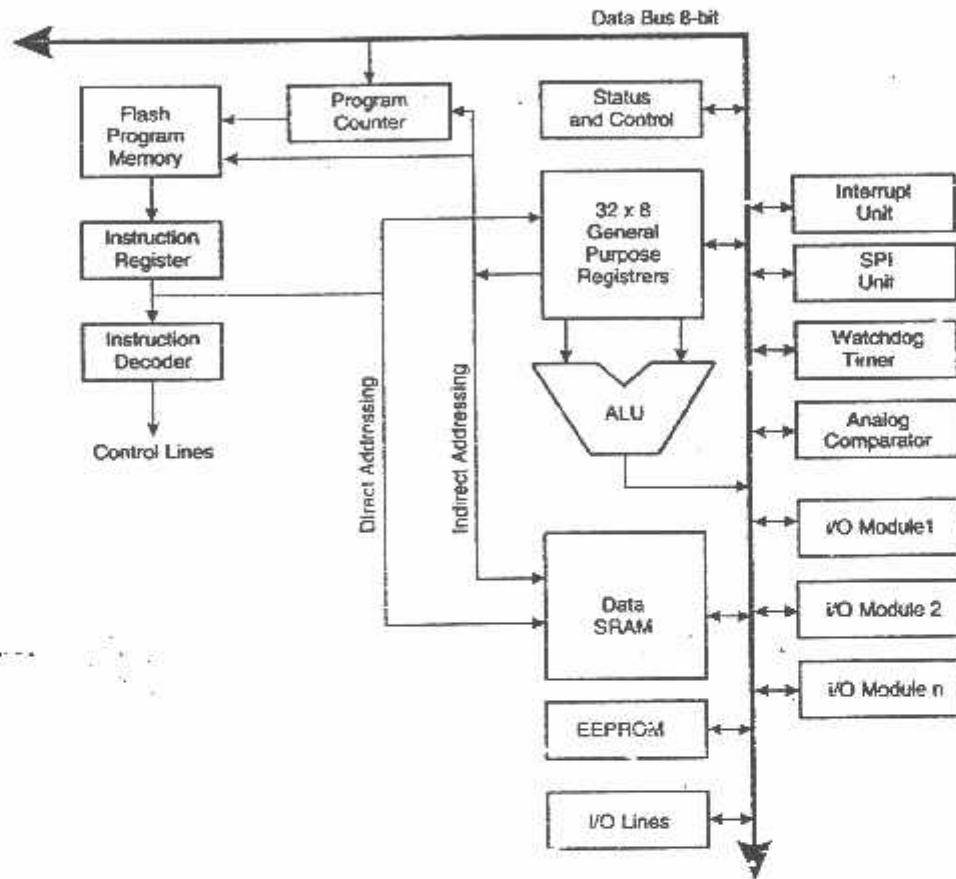
CPU Core

Introduction

This section discusses the AVR core architecture in general. The main function of the CPU core is to ensure correct program execution. The CPU must therefore be able to access memories, perform calculations, control peripherals, and handle interrupts.

Architectural Overview

Figure 2. Block Diagram of the AVR MCU Architecture



In order to maximize performance and parallelism, the AVR uses a Harvard architecture – with separate memories and buses for program and data. Instructions in the Program memory are executed with a single level pipelining. While one instruction is being executed, the next instruction is pre-fetched from the Program memory. This concept enables instructions to be executed in every clock cycle. The Program memory is In-System Reprogrammable Flash memory.

The fast-access Register File contains 32 x 8-bit general purpose working registers with a single clock cycle access time. This allows single-cycle Arithmetic Logic Unit (ALU) operation. In a typical ALU operation, two operands are output from the Register File, the operation is executed, and the result is stored back in the Register File – in one clock cycle.

3 ATmega8 memories

system reprogrammable Flash program Memory

This section describes the different memories in the ATmega8. The AVR architecture has two main memory spaces, the Data memory and the Program Memory space. In addition, the ATmega8 features an EEPROM Memory for data storage. All three memory spaces are linear and regular.

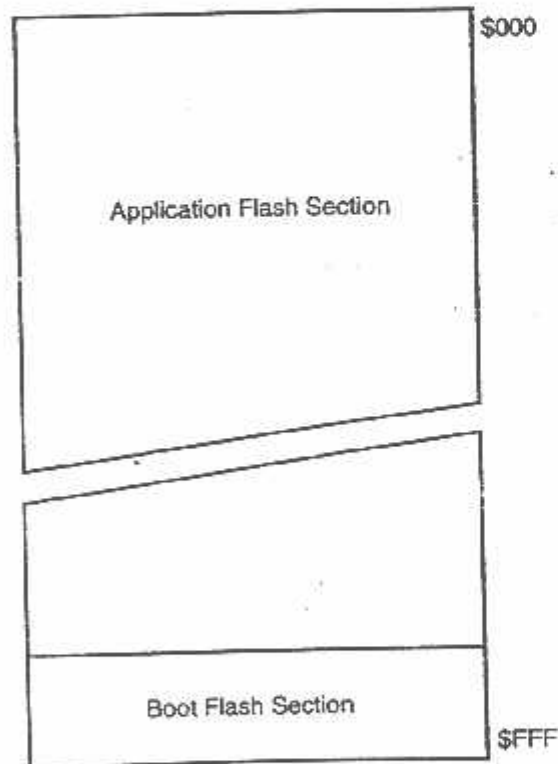
The ATmega8 contains 8K bytes On-chip In-System Reprogrammable Flash memory for program storage. Since all AVR instructions are 16- or 32-bits wide, the Flash is organized as 4K x 16 bits. For software security, the Flash Program memory space is divided into two sections, Boot Program section and Application Program section.

The Flash memory has an endurance of at least 10,000 write/erase cycles. The ATmega8 Program Counter (PC) is 12 bits wide, thus addressing the 4K Program memory locations. The operation of Boot Program section and associated Boot Lock Bits for software protection are described in detail in "Boot Loader Support – Read-While-Write Self-Programming" on page 206. "Memory Programming" on page 219 contains a detailed description on Flash Programming in SPI- or Parallel Programming mode.

Constant tables can be allocated within the entire Program memory address space (see the LPM – Load Program memory instruction description).

Timing diagrams for instruction fetch and execution are presented in "Instruction Execution Timing" on page 12.

Figure 7. Program Memory Map



Data Memory

Figure 8 shows how the ATmega8 SRAM Memory is organized.

The lower 1120 Data memory locations address the Register File, the I/O Memory, and the internal data SRAM. The first 96 locations address the Register File and I/O Memory, and the next 1024 locations address the internal data SRAM.

The five different addressing modes for the Data memory cover: Direct, Indirect with Displacement, Indirect, Indirect with Pre-decrement, and Indirect with Post-increment. In the Register File, registers R26 to R31 feature the indirect addressing pointer registers.

The direct addressing reaches the entire data space.

The Indirect with Displacement mode reaches 63 address locations from the base address given by the Y- or Z-register.

When using register indirect addressing modes with automatic pre-decrement and post-increment, the address registers X, Y and Z are decremented or incremented.

The 32 general purpose working registers, 64 I/O Registers, and the 1024 bytes of internal data SRAM in the ATmega8 are all accessible through all these addressing modes. The Register File is described in "General Purpose Register File" on page 10.

Figure 8. Data Memory Map

Register File		Data Address Space	
R0		\$0000	
R1		\$0001	
R2		\$0002	
...		...	
R29		\$001D	
R30		\$001E	
R31		\$001F	
I/O Registers			
\$00		\$0020	
\$01		\$0021	
\$02		\$0022	
...		...	
\$3D		\$005D	
\$3E		\$005E	
\$3F		\$005F	
		Internal SRAM	
		\$0060	
		\$0061	
		...	
		\$045E	
		\$045F	

Arithmetic Logic Unit –

The high-performance AVR ALU operates in direct connection with all the 32 general purpose working registers. Within a single clock cycle, arithmetic operations between general purpose registers or between a register and an immediate are executed. The ALU operations are divided into three main categories – arithmetic, logical, and bit-functions. Some implementations of the architecture also provide a powerful multiplier supporting both signed/unsigned multiplication and fractional format. See the "Instruction Set" section for a detailed description.

Status Register

The Status Register contains information about the result of the most recently executed arithmetic instruction. This information can be used for altering program flow in order to perform conditional operations. Note that the Status Register is updated after all ALU operations, as specified in the Instruction Set Reference. This will in many cases remove the need for using the dedicated compare instructions, resulting in faster and more compact code.

The Status Register is not automatically stored when entering an interrupt routine and restored when returning from an interrupt. This must be handled by software.

The AVR Status Register – SREG – is defined as:

Bit	7	6	5	4	3	2	1	0	
	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – I: Global Interrupt Enable

The Global Interrupt Enable bit must be set for the interrupts to be enabled. The individual interrupt enable control is then performed in separate control registers. If the Global Interrupt Enable Register is cleared, none of the interrupts are enabled independent of the individual interrupt enable settings. The I-bit is cleared by hardware after an interrupt has occurred, and is set by the RETI instruction to enable subsequent interrupts. The I-bit can also be set and cleared by the application with the SEI and CLI instructions, as described in the Instruction Set Reference.

• Bit 6 – T: Bit Copy Storage

The Bit Copy instructions BLD (Bit Load) and BST (Bit Store) use the T-bit as source or destination for the operated bit. A bit from a register in the Register File can be copied into T by the BST instruction, and a bit in T can be copied into a bit in a register in the Register File by the BLD instruction.

• Bit 5 – H: Half Carry Flag

The Half Carry Flag H indicates a Half Carry in some arithmetic operations. Half Carry is useful in BCD arithmetic. See the "Instruction Set Description" for detailed information.

• Bit 4 – S: Sign Bit, $S = N \oplus V$

The S-bit is always an exclusive or between the Negative Flag N and the Two's Complement Overflow Flag V. See the "Instruction Set Description" for detailed information.

• Bit 3 – V: Two's Complement Overflow Flag

The Two's Complement Overflow Flag V supports two's complement arithmetics. See the "Instruction Set Description" for detailed information.

• Bit 2 – N: Negative Flag

The Negative Flag N indicates a negative result in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

• Bit 1 – Z: Zero Flag



The Zero Flag Z indicates a zero result in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

• Bit 0 – C: Carry Flag

The Carry Flag C indicates a Carry in an arithmetic or logic operation. See the "Instruction Set Description" for detailed information.

General Purpose Register File

The Register File is optimized for the AVR Enhanced RISC instruction set. In order to achieve the required performance and flexibility, the following input/output schemes are supported by the Register File:

- One 8-bit output operand and one 8-bit result input.
- Two 8-bit output operands and one 8-bit result input.
- Two 8-bit output operands and one 16-bit result input.
- One 16-bit output operand and one 16-bit result input.

Figure 3 shows the structure of the 32 general purpose working registers in the CPU.

Figure 3. AVR CPU General Purpose Working Registers

		7	0	Addr.	
General Purpose Working Registers	R0			0x00	
	R1			0x01	
	R2			0x02	
	...				
	R13			0x0D	
	R14			0x0E	
	R15			0x0F	
	R16			0x10	
	R17			0x11	
	...				
	R26			0x1A	X-register Low Byte
	R27			0x1B	X-register High Byte
	R28			0x1C	Y-register Low Byte
	R29			0x1D	Y-register High Byte
	R30			0x1E	Z-register Low Byte
	R31			0x1F	Z-register High Byte

Most of the instructions operating on the Register File have direct access to all registers, and most of them are single cycle instructions.

As shown in Figure 3, each register is also assigned a Data memory address, mapping them directly into the first 32 locations of the user Data Space. Although not being physically implemented as SRAM locations, this memory organization provides great flexibility in access of the registers, as the X-, Y-, and Z-pointer Registers can be set to index any register in the file.



Keep the AVR RESET active (low) during periods of insufficient power supply voltage. This can be done by enabling the internal Brown-out Detector (BOD). If the detection level of the internal BOD does not match the needed detection level, an external low V_{CC} Reset Protection circuit can be used. If a reset occurs while a write operation is in progress, the write operation will be completed provided that the power supply voltage is sufficient.

I/O memory

The I/O space definition of the ATmega8 is shown in " on page 284.

All ATmega8 I/Os and peripherals are placed in the I/O space. The I/O locations are accessed by the IN and OUT instructions, transferring data between the 32 general purpose working registers and the I/O space. I/O Registers within the address range 0x00 - 0x1F are directly bit-accessible using the SBI and CBI instructions. In these registers, the value of single bits can be checked by using the SBIS and SBIC instructions. Refer to the instruction set section for more details. When using the I/O specific commands IN and OUT, the I/O addresses 0x00 - 0x3F must be used. When addressing I/O Registers as data space using LD and ST instructions, 0x20 must be added to these addresses.

For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.

Some of the Status Flags are cleared by writing a logical one to them. Note that the CBI and SBI instructions will operate on all bits in the I/O Register, writing a one back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers 0x00 to 0x1F only.

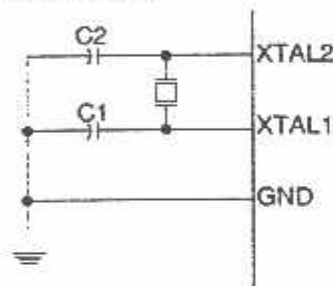
The I/O and Peripherals Control Registers are explained in later sections.

Crystal Oscillator

XTAL1 and XTAL2 are input and output, respectively, of an inverting amplifier which can be configured for use as an On-chip Oscillator, as shown in Figure 11. Either a quartz crystal or a ceramic resonator may be used. The CKOPT Fuse selects between two different Oscillator amplifier modes. When CKOPT is programmed, the Oscillator output will oscillate a full rail-to-rail swing on the output. This mode is suitable when operating in a very noisy environment or when the output from XTAL2 drives a second clock buffer. This mode has a wide frequency range. When CKOPT is unprogrammed, the Oscillator has a smaller output swing. This reduces power consumption considerably. This mode has a limited frequency range and it cannot be used to drive other clock buffers.

For resonators, the maximum frequency is 8 MHz with CKOPT unprogrammed and 16 MHz with CKOPT programmed. C1 and C2 should always be equal for both crystals and resonators. The optimal value of the capacitors depends on the crystal or resonator in use, the amount of stray capacitance, and the electromagnetic noise of the environment. Some initial guidelines for choosing capacitors for use with crystals are given in Table 4. For ceramic resonators, the capacitor values given by the manufacturer should be used.

Figure 11. Crystal Oscillator Connections



The Oscillator can operate in three different modes, each optimized for a specific frequency range. The operating mode is selected by the fuses CKSEL3..1 as shown in Table 4.

Table 4. Crystal Oscillator Operating Modes

CKOPT	CKSEL3..1	Frequency Range(MHz)	Recommended Range for Capacitors C1 and C2 for Use with Crystals (pF)
1	101 ⁽¹⁾	0.4 - 0.9	—
1	110	0.9 - 3.0	12 - 22
1	111	3.0 - 8.0	12 - 22
0	101, 110, 111	1.0 ≤	12 - 22

Note: 1. This option should not be used with crystals, only with ceramic resonators.

The CKSEL0 Fuse together with the SUT1..0 Fuses select the start-up times as shown in Table 5.

Table 5. Start-up Times for the Crystal Oscillator Clock Selection

CKSEL0	SUT1..0	Start-up Time from Power-down and Power-save	Additional Delay from Reset (V _{CC} = 5.0V)	Recommended Usage
0	00	258 CK ⁽¹⁾	4.1 ms	Ceramic resonator, fast rising power
0	01	258 CK ⁽¹⁾	65 ms	Ceramic resonator, slowly rising power
0	10	1K CK ⁽²⁾	—	Ceramic resonator, BOD enabled
0	11	1K CK ⁽²⁾	4.1 ms	Ceramic resonator, fast rising power
1	00	1K CK ⁽²⁾	65 ms	Ceramic resonator, slowly rising power
1	01	16K CK	—	Crystal Oscillator, BOD enabled
1	10	16K CK	4.1 ms	Crystal Oscillator, fast rising power
1	11	16K CK	65 ms	Crystal Oscillator, slowly rising power

Notes: 1. These options should only be used when not operating close to the maximum frequency of the device, and only if frequency stability at start-up is not important for the application. These options are not suitable for crystals.
 2. These options are intended for use with ceramic resonators and will ensure frequency stability at start-up. They can also be used with crystals when not operating close to the maximum frequency of the device, and if frequency stability at start-up is not important for the application.

Low-frequency Crystal Oscillator

To use a 32.768 kHz watch crystal as the clock source for the device, the Low-frequency Crystal Oscillator must be selected by setting the CKSEL Fuses to "1001". The crystal should be connected as shown in Figure 11. By programming the CKOPT Fuse, the user can enable internal capacitors on XTAL1 and XTAL2, thereby removing the need for external capacitors. The internal capacitors have a nominal value of 36 pF.

When this Oscillator is selected, start-up times are determined by the SUT Fuses as shown in Table 6.

Table 6. Start-up Times for the Low-frequency Crystal Oscillator Clock Selection

SUT1..0	Start-up Time from Power-down and Power-save	Additional Delay from Reset (V _{CC} = 5.0V)	Recommended Usage
00	1K CK ⁽¹⁾	4.1 ms	Fast rising power or BOD enabled
01	1K CK ⁽¹⁾	65 ms	Slowly rising power
10	32K CK	65 ms	Stable frequency at start-up
11	Reserved		

Note: 1. These options should only be used if frequency stability at start-up is not important for the application.

Calibrated Internal RC Oscillator

The calibrated internal RC Oscillator provides a fixed 1.0, 2.0, 4.0, or 8.0 MHz clock. All frequencies are nominal values at 5V and 25°C. This clock may be selected as the system clock by programming the CKSEL Fuses as shown in Table 9. If selected, it will operate with no external components. The CKOPT Fuse should always be unprogrammed when using this clock option. During reset, hardware loads the 1 MHz calibration byte into the OSCCAL Register and thereby automatically calibrates the RC Oscillator. At 5V, 25°C and 1.0 MHz Oscillator frequency selected, this calibration gives a frequency within $\pm 3\%$ of the nominal frequency. Using run-time calibration methods as described in application notes available at www.atmel.com/avr it is possible to achieve $\pm 1\%$ accuracy at any given V_{CC} and Temperature. When this Oscillator is used as the chip clock, the Watchdog Oscillator will still be used for the Watchdog Timer and for the Reset Time-out. For more information on the pre-programmed calibration value, see the section "Calibration Byte" on page 222.

Table 9. Internal Calibrated RC Oscillator Operating Modes

CKSEL3..0	Nominal Frequency (MHz)
0001 ⁽¹⁾	1.0
0010	2.0
0011	4.0
0100	8.0

Note: 1. The device is shipped with this option selected.

When this Oscillator is selected, start-up times are determined by the SUT Fuses as shown in Table 10. PB6 (XTAL1/TOSC1) and PB7 (XTAL2/TOSC2) can be used as either general I/O pins or Timer Oscillator pins..

Table 10. Start-up Times for the Internal Calibrated RC Oscillator Clock Selection

SUT1..0	Start-up Time from Power-down and Power-save	Additional Delay from Reset ($V_{CC} = 5.0V$)	Recommended Usage
00	6 CK	—	BOD enabled
01	6 CK	4.1 ms	Fast rising power
10 ⁽¹⁾	6 CK	65 ms	Slowly rising power
11		Reserved	

Note: 1. The device is shipped with this option selected.

Power Management Sleep Modes

Sleep modes enable the application to shut down unused modules in the MCU, thereby saving power. The AVR provides various sleep modes allowing the user to tailor the power consumption to the application's requirements.

To enter any of the five sleep modes, the SE bit in MCUCR must be written to logic one and a SLEEP instruction must be executed. The SM2, SM1, and SM0 bits in the MCUCR Register select which sleep mode (Idle, ADC Noise Reduction, Power-down, Power-save, or Standby) will be activated by the SLEEP instruction. See Table 13 for a summary. If an enabled interrupt occurs while the MCU is in a sleep mode, the MCU wakes up. The MCU is then halted for four cycles in addition to the start-up time, it executes the interrupt routine, and resumes execution from the instruction following SLEEP. The contents of the Register File and SRAM are unaltered when the device wakes up from sleep. If a reset occurs during sleep mode, the MCU wakes up and executes from the Reset Vector.

Note that the Extended Standby mode present in many other AVR MCUs has been removed in the ATmega8, as the TOSC and XTAL inputs share the same physical pins.

Figure 10 on page 23 presents the different clock systems in the ATmega8, and their distribution. The figure is helpful in selecting an appropriate sleep mode.

Control Register – CR

The MCU Control Register contains control bits for power management.

Bit	7	5	5	4	3	2	1	0	
	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – SE: Sleep Enable

The SE bit must be written to logic one to make the MCU enter the sleep mode when the SLEEP instruction is executed. To avoid the MCU entering the sleep mode unless it is the programmer's purpose, it is recommended to set the Sleep Enable (SE) bit just before the execution of the SLEEP instruction.

• Bits 5..4 – SM2..0: Sleep Mode Select Bits 2, 1, and 0

These bits select between the five available sleep modes as shown in Table 13.

Table 13. Sleep Mode Select

SM2	SM1	SM0	Sleep Mode
0	0	0	Idle
0	0	1	ADC Noise Reduction
0	1	0	Power-down
0	1	1	Power-save
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Standby ⁽¹⁾

Note: 1. Standby mode is only available with external crystals or resonators.



Interrupts

This section describes the specifics of the interrupt handling performed by the ATmega8. For a general explanation of the AVR interrupt handling, refer to "Reset and Interrupt Handling" on page 12.

Interrupt Vectors in ATmega8

Table 18. Reset and Interrupt Vectors

Vector No.	Program Address ⁽²⁾	Source	Interrupt Definition
1	0x000 ⁽¹⁾	RESET	External Pin, Power-on Reset, Brown-out Reset, and Watchdog Reset
2	0x001	INT0	External Interrupt Request 0
3	0x002	INT1	External Interrupt Request 1
4	0x003	TIMER2 COMP	Timer/Counter2 Compare Match
5	0x004	TIMER2 OVF	Timer/Counter2 Overflow
6	0x005	TIMER1 CAPT	Timer/Counter1 Capture Event
7	0x006	TIMER1 COMPA	Timer/Counter1 Compare Match A
8	0x007	TIMER1 COMPB	Timer/Counter1 Compare Match B
9	0x008	TIMER1 OVF	Timer/Counter1 Overflow
10	0x009	TIMER0 OVF	Timer/Counter0 Overflow
11	0x00A	SPI, STC	Serial Transfer Complete
12	0x00B	USART, RXC	USART, Rx Complete
13	0x00C	USART, UDRE	USART Data Register Empty
14	0x00D	USART, TXC	USART, Tx Complete
15	0x00E	ADC	ADC Conversion Complete
16	0x00F	EE_RDY	EEPROM Ready
17	0x010	ANA_COMP	Analog Comparator
18	0x011	TWI	Two-wire Serial Interface
19	0x012	SPM_RDY	Store Program Memory Ready

- Notes:
1. When the BOOTSZ Fuse is programmed, the device will jump to the Boot Loader address at reset, see "Boot Loader Support – Read-While-Write Self-Programming" on page 206.
 2. When the IVSEL bit in GICR is set, Interrupt Vectors will be moved to the start of the boot Flash section. The address of each Interrupt Vector will then be the address in this table added to the start address of the boot Flash section.

Table 19 shows reset and Interrupt Vectors placement for the various combinations of BOOTSZ and IVSEL settings. If the program never enables an interrupt source, the Interrupt Vectors are not used, and regular program code can be placed at these locations. This is also the case if the Reset Vector is in the Application section while the Interrupt Vectors are in the boot section or vice versa.

External Interrupts

The external interrupts are triggered by the INT0, and INT1 pins. Observe that, if enabled, the interrupts will trigger even if the INT0..1 pins are configured as outputs. This feature provides a way of generating a software interrupt. The external interrupts can be triggered by a falling or rising edge or a low level. This is set up as indicated in the specification for the MCU Control Register – MCUCR. When the external interrupt is enabled and is configured as level triggered, the interrupt will trigger as long as the pin is held low. Note that recognition of falling or rising edge interrupts on INT0 and INT1 requires the presence of an I/O clock, described in "Clock Systems and their Distribution" on page 23. Low level interrupts on INT0/INT1 are detected asynchronously. This implies that these interrupts can be used for waking the part also from sleep modes other than Idle mode. The I/O clock is halted in all sleep modes except Idle mode.

Note that if a level triggered interrupt is used for wake-up from Power-down mode, the changed level must be held for some time to wake up the MCU. This makes the MCU less sensitive to noise. The changed level is sampled twice by the Watchdog Oscillator clock. The period of the Watchdog Oscillator is 1 μ s (nominal) at 5.0V and 25°C. The frequency of the Watchdog Oscillator is voltage dependent as shown in "Electrical Characteristics" on page 239. The MCU will wake up if the input has the required level during this sampling or if it is held until the end of the start-up time. The start-up time is defined by the SUT Fuses as described in "System Clock and Clock Options" on page 23. If the level is sampled twice by the Watchdog Oscillator clock but disappears before the end of the start-up time, the MCU will still wake up, but no interrupt will be generated. The required level must be held long enough for the MCU to complete the wake up to trigger the level interrupt.

J Control Register – JCR

The MCU Control Register contains control bits for interrupt sense control and general MCU functions.

Bit	7	6	5	4	3	2	1	0	
	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	P/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 3, 2 – ISC11, ISC10: Interrupt Sense Control 1 Bit 1 and Bit 0

The External Interrupt 1 is activated by the external pin INT1 if the SREG I-bit and the corresponding interrupt mask in the GICR are set. The level and edges on the external INT1 pin that activate the interrupt are defined in Table 31. The value on the INT1 pin is sampled before detecting edges. If edge or toggle interrupt is selected, pulses that last longer than one clock period will generate an interrupt. Shorter pulses are not guaranteed to generate an interrupt. If low level interrupt is selected, the low level must be held until the completion of the currently executing instruction to generate an interrupt.

Table 31. Interrupt 1 Sense Control

ISC11	ISC10	Description
0	0	The low level of INT1 generates an interrupt request.
0	1	Any logical change on INT1 generates an interrupt request.
1	0	The falling edge of INT1 generates an interrupt request.
1	1	The rising edge of INT1 generates an interrupt request.

• Bit 1, 0 – ISC01, ISC00: Interrupt Sense Control 0 Bit 1 and Bit 0

The External Interrupt 0 is activated by the external pin INT0 if the SREG I-flag and the corresponding interrupt mask are set. The level and edges on the external INT0 pin that activate the interrupt are defined in Table 32. The value on the INT0 pin is sampled before detecting edges. If edge or toggle interrupt is selected, pulses that last longer than one clock period will generate an interrupt. Shorter pulses are not guaranteed to generate an interrupt. If low level interrupt is selected, the low level must be held until the completion of the currently executing instruction to generate an interrupt.

Table 32. Interrupt 0 Sense Control

ISC01	ISC00	Description
0	0	The low level of INT0 generates an interrupt request.
0	1	Any logical change on INT0 generates an interrupt request.
1	0	The falling edge of INT0 generates an interrupt request.
1	1	The rising edge of INT0 generates an interrupt request.

General Interrupt Control Register – GICR

Bit	7	6	5	4	3	2	1	0	
	INT1	INT0	–	–	–	–	IVSEL	IVCE	GICR
Read/Write	R/W	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – INT1: External Interrupt Request 1 Enable

When the INT1 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control1 bits 1/0 (ISC11 and ISC10) in the MCU general Control Register (MCUCR) define whether the external interrupt is activated on rising and/or falling edge of the INT1 pin or level sensed. Activity on the pin will cause an interrupt request even if INT1 is configured as an output. The corresponding interrupt of External Interrupt Request 1 is executed from the INT1 Interrupt Vector.

• Bit 6 – INT0: External Interrupt Request 0 Enable

When the INT0 bit is set (one) and the I-bit in the Status Register (SREG) is set (one), the external pin interrupt is enabled. The Interrupt Sense Control0 bits 1/0 (ISC01 and ISC00) in the MCU general Control Register (MCUCR) define whether the external interrupt is activated on rising and/or falling edge of the INT0 pin or level sensed. Activity on the pin will cause an interrupt request even if INT0 is configured as an output. The corresponding interrupt of External Interrupt Request 0 is executed from the INT0 Interrupt Vector.



External Interrupt Flag Register – GICR

Bit	7	6	5	4	3	2	1	0	
	INTF1	INTF0	–	–	–	–	–	–	GICR
Read/Write	R/W	R/W	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – INTF1: External Interrupt Flag 1

When an event on the INT1 pin triggers an interrupt request, INTF1 becomes set (one). If the I-bit in SREG and the INT1 bit in GICR are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it. This flag is always cleared when INT1 is configured as a level interrupt.

• Bit 6 – INTF0: External Interrupt Flag 0

When an event on the INT0 pin triggers an interrupt request, INTF0 becomes set (one). If the I-bit in SREG and the INT0 bit in GICR are set (one), the MCU will jump to the corresponding Interrupt Vector. The flag is cleared when the interrupt routine is executed. Alternatively, the flag can be cleared by writing a logical one to it. This flag is always cleared when INT0 is configured as a level interrupt.

Unit Timer/Counter2 with PWM and Synchronous Generation

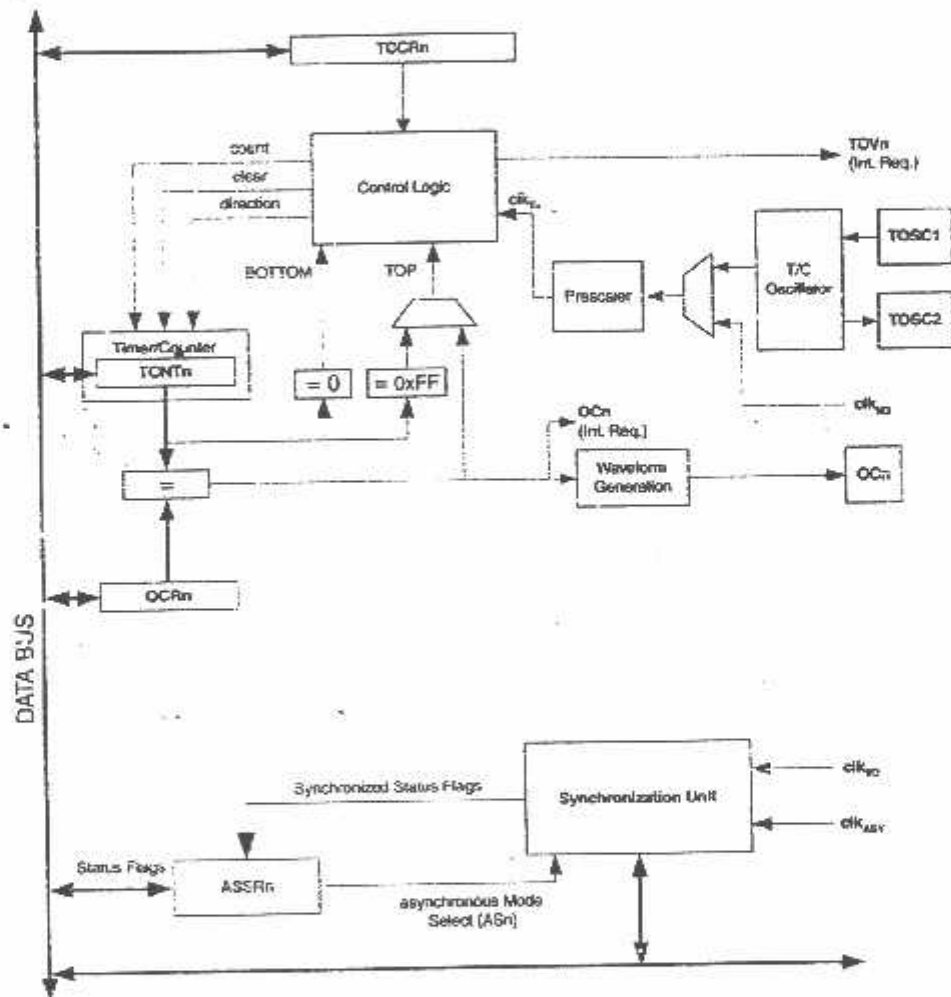
Timer/Counter2 is a general purpose, single channel, 8-bit Timer/Counter module. The main features are:

- Single Channel Counter
- Clear Timer on Compare Match (Auto Reload)
- Glitch-free, phase Correct Pulse Width Modulator (PWM)
- Frequency Generator
- 10-bit Clock Prescaler
- Overflow and Compare Match Interrupt Sources (TOV2 and OCF2)
- Allows Clocking from External 32 kHz Watch Crystal Independent of the I/O Clock

review

A simplified block diagram of the 8-bit Timer/Counter is shown in Figure 45. For the actual placement of I/O pins, refer to "Pin Configurations" on page 2. CPU accessible I/O Registers, including I/O bits and I/O pins, are shown in bold. The device-specific I/O Register and bit locations are listed in the "8-bit Timer/Counter Register Description" on page 115.

Figure 45. 8-bit Timer/Counter Block Diagram



ers

The Timer/Counter (TCNT2) and Output Compare Register (OCR2) are 8-bit registers. Interrupt request (shorten as Int.Req.) signals are all visible in the Timer Interrupt Flag Register (TIFR). All interrupts are individually masked with the Timer Interrupt Mask Register (TIMSK). TIFR and TIMSK are not shown in the figure since these registers are shared by other timer units.

The Timer/Counter can be clocked internally, via the prescaler, or asynchronously clocked from the TOSC1/2 pins, as detailed later in this section. The asynchronous operation is controlled by the Asynchronous Status Register (ASSR). The Clock Select logic block controls which clock source the Timer/Counter uses to increment (or decrement) its value. The Timer/Counter is inactive when no clock source is selected. The output from the clock select logic is referred to as the timer clock (clk_{T2}).

The double buffered Output Compare Register (OCR2) is compared with the Timer/Counter value at all times. The result of the compare can be used by the waveform generator to generate a PWM or variable frequency output on the Output Compare Pin (OC2). For details, see "Output Compare Unit" on page 105. The Compare Match event will also set the Compare Flag (OCF2) which can be used to generate an Output Compare interrupt request.

tions

Many register and bit references in this document are written in general form. A lower case "n" replaces the Timer/Counter number, in this case 2. However, when using the register or bit defines in a program, the precise form must be used (i.e., TCNT2 for accessing Timer/Counter2 counter value and so on).

The definitions in Table 41 are also used extensively throughout the document.

Table 41. Definitions

BOTTOM	The counter reaches the BOTTOM when it becomes zero (0x00).
MAX	The counter reaches its MAXimum when it becomes 0xFF (decimal 255).
TOP	The counter reaches the TOP when it becomes equal to the highest value in the count sequence. The TOP value can be assigned to be the fixed value 0xFF (MAX) or the value stored in the OCR2 Register. The assignment is dependent on the mode of operation.

r/Counter Clock
ces

The Timer/Counter can be clocked by an internal synchronous or an external asynchronous clock source. The clock source clk_{T2} is by default equal to the MCU clock, clk_{MCU} . When the AS2 bit in the ASSR Register is written to logic one, the clock source is taken from the Timer/Counter Oscillator connected to TOSC1 and TOSC2. For details on asynchronous operation, see "Asynchronous Status Register – ASSR" on page 117. For details on clock sources and prescaler, see "Timer/Counter Prescaler" on page 121.



t Timer/Counter ister Description

er/Counter Control ster – TCCR2

Bit	7	6	5	4	3	2	1	0	
	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	TCCR2
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 7 – FOC2: Force Output Compare

The FOC2 bit is only active when the WGM bits specify a non-PWM mode. However, for ensuring compatibility with future devices, this bit must be set to zero when TCCR2 is written when operating in PWM mode. When writing a logical one to the FOC2 bit, an Immediate Compare Match is forced on the waveform generation unit. The OC2 output is changed according to its COM21:0 bits setting. Note that the FOC2 bit is implemented as a strobe. Therefore it is the value present in the COM21:0 bits that determines the effect of the forced compare.

A FOC2 strobe will not generate any interrupt, nor will it clear the timer in CTC mode using OCR2 as TOP.

The FOC2 bit is always read as zero.

• Bit 6,3 – WGM21:0: Waveform Generation Mode

These bits control the counting sequence of the counter, the source for the maximum (TOP) counter value, and what type of waveform generation to be used. Modes of operation supported by the Timer/Counter unit are: Normal mode, Clear Timer on Compare Match (CTC) mode, and two types of Pulse Width Modulation (PWM) modes. See Table 42 and "Modes of Operation" on page 108.

Table 42. Waveform Generation Mode Bit Description

Mode	WGM21 (CTC2)	WGM20 (PWM2)	Timer/Counter Mode of Operation ⁽¹⁾	TOP	Update of OCR2	TOV2 Flag Set
0	0	0	Normal	0xFF	Immediate	MAX
1	0	1	PWM, Phase Correct	0xFF	TOP	BOTTOM
2	1	0	CTC	OCR2	Immediate	MAX
3	1	1	Fast PWM	0xFF	TOP	MAX

Note: 1. The CTC2 and PWM2 bit definition names are now obsolete. Use the WGM21:0 definitions. However, the functionality and location of these bits are compatible with previous versions of the timer.

• Bit 5:4 – COM21:0: Compare Match Output Mode

These bits control the Output Compare Pin (OC2) behavior. If one or both of the COM21:0 bits are set, the OC2 output overrides the normal port functionality of the I/C pin it is connected to. However, note that the Data Direction Register (DDR) bit corresponding to OC2 pin must be set in order to enable the output driver.

When OC2 is connected to the pin, the function of the COM21:0 bits depends on the WGM21:0 bit setting. Table 43 shows the COM21:0 bit functionality when the WGM21:0 bits are set to a normal or CTC mode (non-PWM).



Table 43. Compare Output Mode, Non-PWM Mode

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Toggle OC2 on Compare Match
1	0	Clear OC2 on Compare Match
1	1	Set OC2 on Compare Match

Table 44 shows the COM21:0 bit functionality when the WGM21:0 bits are set to fast PWM mode.

Table 44. Compare Output Mode, Fast PWM Mode⁽¹⁾

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Reserved
1	0	Clear OC2 on Compare Match, set OC2 at TOP
1	1	Set OC2 on Compare Match, clear OC2 at TOP

Note: 1. A special case occurs when OCR2 equals TOP and COM21 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See "Fast PWM Mode" on page 110 for more details.

Table 45 shows the COM21:0 bit functionality when the WGM21:0 bits are set to phase correct PWM mode.

Table 45. Compare Output Mode, Phase Correct PWM Mode⁽¹⁾

COM21	COM20	Description
0	0	Normal port operation, OC2 disconnected.
0	1	Reserved
1	0	Clear OC2 on Compare Match when up-counting. Set OC2 on Compare Match when downcounting.
1	1	Set OC2 on Compare Match when up-counting. Clear OC2 on Compare Match when downcounting.

Note: 1. A special case occurs when OCR2 equals TOP and COM21 is set. In this case, the Compare Match is ignored, but the set or clear is done at TOP. See "Phase Correct PWM Mode" on page 111 for more details.

• Bit 2:0 – CS22:0: Clock Select

The three clock select bits select the clock source to be used by the Timer/Counter, see Table 46.

Table 46. Clock Select Bit Description

CS22	CS21	CS20	Description
0	0	0	No clock source (Timer/Counter stopped).
0	0	1	$clk_{T2S}/(No\ prescaler)$
0	1	0	$clk_{T2S}/8$ (From prescaler)
0	1	1	$clk_{T2S}/32$ (From prescaler)
1	0	0	$clk_{T2S}/64$ (From prescaler)
1	0	1	$clk_{T2S}/128$ (From prescaler)
1	1	0	$clk_{T2S}/256$ (From prescaler)
1	1	1	$clk_{T2S}/1024$ (From prescaler)

Counter Register –

Bit	7	6	5	4	3	2	1	0	
	TCNT2[7:0]								TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Timer/Counter Register gives direct access, both for read and write operations, to the Timer/Counter unit 8-bit counter. Writing to the TCNT2 Register blocks (removes) the Compare Match on the following timer clock. Modifying the counter (TCNT2) while the counter is running, introduces a risk of missing a Compare Match between TCNT2 and the OCR2 Register.

Compare Register –

Bit	7	6	5	4	3	2	1	0	
	OCR2[7:0]								OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

The Output Compare Register contains an 8-bit value that is continuously compared with the counter value (TCNT2). A match can be used to generate an Output Compare interrupt, or to generate a waveform output on the OC2 pin.

Asynchronous Operation
Timer/Counter

Asynchronous Status
Register – ASSR

Bit	7	6	5	4	3	2	1	0	
	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	

• Bit 3 – AS2: Asynchronous Timer/Counter2

When AS2 is written to zero, Timer/Counter 2 is clocked from the I/O clock, clk_{IO} . When AS2 is written to one, Timer/Counter 2 is clocked from a crystal Oscillator connected to the Timer Oscillator 1 (TOSC1) pin. When the value of AS2 is changed, the contents of TCNT2, OCR2, and TCCR2 might be corrupted.



- **Bit 2 – TCN2UB: Timer/Counter2 Update Busy**

When Timer/Counter2 operates asynchronously and TCNT2 is written, this bit becomes set. When TCNT2 has been updated from the temporary storage register, this bit is cleared by hardware. A logical zero in this bit indicates that TCNT2 is ready to be updated with a new value.

- **Bit 1 – OCR2UB: Output Compare Register2 Update Busy**

When Timer/Counter2 operates asynchronously and OCR2 is written, this bit becomes set. When OCR2 has been updated from the temporary storage register, this bit is cleared by hardware. A logical zero in this bit indicates that OCR2 is ready to be updated with a new value.

- **Bit 0 – TCCR2UB: Timer/Counter Control Register2 Update Busy**

When Timer/Counter2 operates asynchronously and TCCR2 is written, this bit becomes set. When TCCR2 has been updated from the temporary storage register, this bit is cleared by hardware. A logical zero in this bit indicates that TCCR2 is ready to be updated with a new value.

If a write is performed to any of the three Timer/Counter2 Registers while its update busy flag is set, the updated value might get corrupted and cause an unintentional interrupt to occur.

The mechanisms for reading TCNT2, OCR2, and TCCR2 are different. When reading TCNT2, the actual timer value is read. When reading OCR2 or TCCR2, the value in the temporary storage register is read.

Asynchronous Operation of Timer/Counter2

When Timer/Counter2 operates asynchronously, some considerations must be taken.

- **Warning:** When switching between asynchronous and synchronous clocking of Timer/Counter2, the Timer Registers TCNT2, OCR2, and TCCR2 might be corrupted. A safe procedure for switching clock source is:
 1. Disable the Timer/Counter2 interrupts by clearing OCIE2 and TOIE2.
 2. Select clock source by setting AS2 as appropriate.
 3. Write new values to TCNT2, OCR2, and TCCR2.
 4. To switch to asynchronous operation: Wait for TCN2UB, OCR2UB, and TCCR2UB.
 5. Clear the Timer/Counter2 Interrupt Flags.
 6. Enable interrupts, if needed.
- The Oscillator is optimized for use with a 32.768 kHz watch crystal. Applying an external clock to the TOSC1 pin may result in incorrect Timer/Counter2 operation. The CPU main clock frequency must be more than four times the Oscillator frequency.
- When writing to one of the registers TCNT2, OCR2, or TCCR2, the value is transferred to a temporary register, and latched after two positive edges on TOSC1. The user should not write a new value before the contents of the temporary register have been transferred to its destination. Each of the three mentioned registers have their individual temporary register, which means that e.g. writing to TCNT2 does not disturb an OCR2 write in progress. To detect that a transfer to the destination register has taken place, the Asynchronous Status Register – ASSR has been implemented.
- When entering Power-save mode after having written to TCNT2, OCR2, or TCCR2, the user must wait until the written register has been updated if Timer/Counter2 is used to wake up the device. Otherwise, the MCU will enter sleep mode before the

changes are effective. This is particularly important if the Output Compare2 interrupt is used to wake up the device, since the Output Compare function is disabled during writing to OCR2 or TCNT2. If the write cycle is not finished, and the MCU enters sleep mode before the OCR2UB bit returns to zero, the device will never receive a Compare Match interrupt, and the MCU will not wake up.

- If Timer/Counter2 is used to wake the device up from Power-save mode, precautions must be taken if the user wants to re-enter one of these modes: The interrupt logic needs one TOSC1 cycle to be reset. If the time between wake-up and re-entering sleep mode is less than one TOSC1 cycle, the interrupt will not occur, and the device will fail to wake up. If the user is in doubt whether the time before re-entering Power-save or Extended Standby mode is sufficient, the following algorithm can be used to ensure that one TOSC1 cycle has elapsed:
 1. Write a value to TCCR2, TCNT2, or OCR2.
 2. Wait until the corresponding Update Busy Flag in ASSR returns to zero.
 3. Enter Power-save or Extended Standby mode.
- When the asynchronous operation is selected, the 32.768 kHz Oscillator for Timer/Counter2 is always running, except in Power-down and Standby modes. After a Power-up Reset or Wake-up from Power-down or Standby mode, the user should be aware of the fact that this Oscillator might take as long as one second to stabilize. The user is advised to wait for at least one second before using Timer/Counter2 after Power-up or Wake-up from Power-down or Standby mode. The contents of all Timer/Counter2 Registers must be considered lost after a wake-up from Power-down or Standby mode due to unstable clock signal upon start-up, no matter whether the Oscillator is in use or a clock signal is applied to the TOSC1 pin.
- Description of wake up from Power-save or Extended Standby mode when the timer is clocked asynchronously: When the interrupt condition is met, the wake up process is started on the following cycle of the timer clock, that is, the timer is always advanced by at least one before the processor can read the counter value. After wake-up, the MCU is halted for four cycles, it executes the interrupt routine, and resumes execution from the instruction following SLEEP.
- Reading of the TCNT2 Register shortly after wake-up from Power-save may give an incorrect result. Since TCNT2 is clocked on the asynchronous TOSC clock, reading TCNT2 must be done through a register synchronized to the internal I/O clock domain. Synchronization takes place for every rising TOSC1 edge. When waking up from Power-save mode, and the I/O clock (clk_{IO}) again becomes active, TCNT2 will read as the previous value (before entering sleep) until the next rising TOSC1 edge. The phase of the TOSC clock after waking up from Power-save mode is essentially unpredictable, as it depends on the wake-up time. The recommended procedure for reading TCNT2 is thus as follows:
 1. Write any value to either of the registers OCR2 or TCCR2.
 2. Wait for the corresponding Update Busy Flag to be cleared.
 3. Read TCNT2.
- During asynchronous operation, the synchronization of the Interrupt Flags for the asynchronous timer takes three processor cycles plus one timer cycle. The timer is therefore advanced by at least one before the processor can read the timer value causing the setting of the Interrupt Flag. The Output Compare Pin is changed on the timer clock and is not synchronized to the processor clock.

Timer/Counter2 Interrupt Mask Register – TMSK

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	ICIE1	OCIE1A	OCIE1B	TOIE1	–	TOIE0	TMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – OCIE2: Timer/Counter2 Output Compare Match Interrupt Enable**

When the OCIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Compare Match interrupt is enabled. The corresponding interrupt is executed if a Compare Match in Timer/Counter2 occurs (i.e., when the OCF2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR).

- **Bit 6 – TOIE2: Timer/Counter2 Overflow Interrupt Enable**

When the TOIE2 bit is written to one and the I-bit in the Status Register is set (one), the Timer/Counter2 Overflow interrupt is enabled. The corresponding interrupt is executed if an overflow in Timer/Counter2 occurs (i.e., when the TOV2 bit is set in the Timer/Counter Interrupt Flag Register – TIFR).

Timer/Counter2 Interrupt Flag Register – TIFR

Bit	7	6	5	4	3	2	1	0	
	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	–	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7 – OCF2: Output Compare Flag 2**

The OCF2 bit is set (one) when a Compare Match occurs between the Timer/Counter2 and the data in OCR2 – Output Compare Register2. OCF2 is cleared by hardware when executing the corresponding interrupt Handling Vector. Alternatively, OCF2 is cleared by writing a logic one to the flag. When the I-bit in SREG, OCIE2 (Timer/Counter2 Compare Match Interrupt Enable), and OCF2 are set (one), the Timer/Counter2 Compare Match Interrupt is executed.

- **Bit 6 – TOV2: Timer/Counter2 Overflow Flag**

The TOV2 bit is set (one) when an overflow occurs in Timer/Counter2. TOV2 is cleared by hardware when executing the corresponding interrupt Handling Vector. Alternatively, TOV2 is cleared by writing a logic one to the flag. When the SREG I-bit, TOIE2 (Timer/Counter2 Overflow Interrupt Enable), and TOV2 are set (one), the Timer/Counter2 Overflow interrupt is executed. In PWM mode, this bit is set when Timer/Counter2 changes counting direction at 0x00.



SKRIPSI

PERENCANAAN DAN PEMBUATAN MODULATOR PSK DENGAN MENGGUNAKAN METODE DDS (*DIRECT DIGITAL SYNTHESIS*)



Disusun Oleh :
STEVEN ANDRI
NIM 0317011

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG**

September 2007
